

# 宜普电源转换公司第十二阶段eGaN® 器件可靠性测试报告



Alejandro Pozo Ph.D., Shengke Zhang Ph.D., Gordon Stecklein Ph.D., Ricardo Garcia, John Glaser Ph.D., Zhikai Tang Ph.D. 和 Robert Strittmatter Ph.D. 宜普电源转换公司 (EPC)

由于宜普电源转换公司 (EPC) 的 eGaN® 器件在很多不同应用中备受推荐及迅速被采纳, 需要继续不断累积其可靠性统计数据和研究它的基本失效物理。第十二阶段可靠性测试报告扩大前十一份报告[1-11] 的知识库并涵盖了几个关键的全新议题。

从2010年3月[12]至今, 氮化镓 (GaN) 功率器件已投入大批量生产, 并且取得卓越的现场可靠性测试记录。本报告介绍的测试策略, 是在各种应力条件下对器件进行反复测试, 直至器件发生故障, 从而为行业构建更稳固的产品。

## 需要标准认证测试以外的额外反复测试

### 为什么要采用标准认证测试以外的反复测试方法?

半导体的标准认证测试, 通常需要经过长时间或若干循环测试后, 当器件达到或接近其数据表中的极限值, 对器件进行应力测试。认证测试的目标, 是相对较大数量的元件在测试后, 完全没有器件发生故障。

这种测试是不够的, 因为它仅报告通过特定测试条件的元件。通过反复测试元件到它发生故障, 可以了解数据表的极限值以上, 器件仍然可以工作多久。更重要的是, 可以了解器件的固有失效机理, 从而了解失效的根本原因, 以及器件随时间、温度、电气或机械应力变化的性能, 确定产品在一般的工作条件下, 它的安全工作寿命 (对于此方法用于测试半导体器件的详细说明, 请参看参考文献[13])。

### 氮化镓功率器件的主要应力条件和内在失效机理

GaN功率器件遇到的主要应力条件是什么? 在各种应力条件下, 器件的固有失效机理是什么?

与所有功率晶体管一样, 主要的应力条件包括电压、电流、温度和湿度, 以及各种机械应力。可是, 施加这些压力条件有许多不同的方法。例如, 可以对栅-源极 ( $V_{GS}$ ) 或漏-源极 ( $V_{DS}$ ) 施加电压应力, 这些应力可以连续施加为DC偏压、进行开/关循环或是作为高速脉冲。电流应力可以施加为连续的直流电流或脉冲电流。也可以对器件连续施加加热应力, 让器件在预设温度极限下工作一段时间, 或用不同方式来循环温度。

对器件施加各种应力并达至大量器件发生故障时, 就可以确定受测器件的主要内在失效机理。为了在合理的时间内使得器件发生故障, 应力条件需要大大超过产品数据表的工作极限值。需要确保所施加的过大应力条件, 器件正常工作时, 根本不会遇到的失效机理, 因此需要仔细分析失效元件, 从而确定其失效的根本原因。

只有通过验证根本的失效原因, 才能真正了解器件在各种应力测试条件下的行为。请注意, 当更了解eGaN器件的内在失效模式后, 会明白两个事实: (1) eGaN器件比硅基MOSFET器件更稳固和 (2) MOSFET的固有失效模型不能预测到, 在极端或长期电气应力条件下, eGaN器件的寿命。

应力	器件/封装	测试方法	固有的失效机理	EPC测试报告结果
电压	器件	HTGB	介电层崩溃 (TDDB)	本报告
			阈值漂移	
		HTRB	阈值漂移	本报告
			阻抗漂移	
		ESD	介电破裂	[2,3,6,7,8,9,10]
电流	器件	直流 (EM)	热迁移	进行中
			电迁移	进行中
电流 + 电压 (功率)	器件	安全工作区域	热失控	本报告
		短路	热失控	本报告
电压上升/下降	器件	硬开关可靠性	阻抗漂移	本报告
电流上升/下降	器件	脉冲电流 (激光雷达可靠性)	没有失效	本报告
温度	封装	HTS	没有找到	[6,7,8,9]
		MSL1	没有找到	[3,4,5,6,7,8,9,10]
		H3TRB	没有找到	[1,2,3,4,5,6,7,8,9,10]
		AC	没有找到	[4,5,6,7,8,9]
		可焊性	焊料腐蚀	本报告
机械/热机械	封装	uHAST	枝晶形成/腐蚀	[10]
		TC	锡球抗剪疲劳	本报告
		IOL	锡球抗剪疲劳	本报告
		弯曲强度测试	分层	本报告
		弯曲强度测试	锡球抗剪强度	本报告
		弯曲强度测试	压电效应	本报告
		芯片剪切测试	锡球抗剪强度	本报告
		封装应力测试	封装保护层开裂	本报告

表1: 对eGaN FET进行的各种应力测试和器件的内在失效机理

## 本报告的重点和结构

在第十二阶段产品测试报告中，重点是表1右栏中突出显示的结果。

第一个议题讨论影响eGaN器件的栅极的内在失效机理。尽管在先前的可靠性报告中已经研究了这种应力条件，但本报告中涵盖了具有证据支持并基于物理学的器件寿命模型，它进一步改善以前用来预测器件寿命、更为简单、随时间而变化的介电击穿模型。

第二部分讨论动态 $R_{DS(on)}$ 与器件失效机理的关系。动态 $R_{DS(on)}$ 引起了设计工程师、产品可靠性专家和学者的广泛关注。本节将主要机理分开，并展示在了解这些机理后，如何构建更稳固的器件。与描述栅极应力的部分一样，我们通过开发基于物理学的模型，进一步了解eGaN晶体管的 $R_{DS(on)}$ 的变化。因此，对于更复杂的任务，该模型预测器件寿命最为有用。

第3节重点介绍eGaN器件的安全工作区(SOA)。硅基功率MOSFET的SOA已经进行了广泛研究，它的次级击穿机理限制了在高漏极偏压下的性能[14]。我们对数个eGaN产品不断进行测试它在数据表内的SOA，直至它失效，从而探究器件的安全工作裕度。测试结果表明，在所有情况下，eGaN FET在数据表的SOA中工作，没有发生故障。

第4节描述对eGaN器件进行的短路反复测试。目的是确定灾难性故障发生前，它能承受多长时间和多少能量密度。该知识对于需要在设计中包含短路保护的工业电源和电机驱动工程师来说，至关重要。数据表明，失效器件受热影响，而且采用推荐的栅极驱动器，其应力耐受时间超过10  $\mu$ s。

eGaN器件已广泛应用于自动驾驶汽车、卡车、机器人和无人机上的激光雷达(lidar)设备。eGaN器件的快速开关、小尺寸和高脉冲电流优势，使激光雷达系统能够在更远的距离“看到”更清晰且分辨率更高。激光雷达系统突破了动态电压和电流(di/dt和dv/dt)的极限，超越了硅技术。第5节描述一种定制测试系统，用于评估长期激光雷达脉冲应力条件下的eGaN器件的可靠性。迄今为止，器件已经通过了13万亿个脉冲(大约是典型汽车使用寿命的三倍)的应力测试，而没有任何器件出现故障，或明显的参数漂移。

第6节介绍了eGaN晶圆级芯片级(WLSC)封装的机械力测试。反复测试器件的模切(面内力)的结果表明，器件的耐用程度超越了MIL-STD-883E标准。背面压力(平面外)的测试表明，eGaN器件的封装能够承受400 psi的压力而不会发生故障。

第十二阶段产品可靠性测试报告添加了关于弯曲强度测试的全新部分，以检查焊点的坚固性并尝试找出可能调制器件的电参数的压电效应。所有器件都通过了基于Q200-005A测试标准的4 mm挠曲(250 N)，首个失效器件发生在6 mm挠曲条件下。没有测量出电气参数的变化。在本节的最后部分，使得器件损坏所需的弯曲力，远低于由压电产生电场的调制而改变电气特性所需的弯曲力。

本报告新增了第7节，描述器件的可焊性。根据J-STD-002E的S1方法进行测试，结果表明，eGaN器件的可焊性没有降低。

第8节也是新增内容，探究温度循环和基于自热的循环所产生的热机械应力问题。对采用底部填充的产品进行了广泛的研究，从而进行寿命预测实验。本节末尾的有限元分析，阐释实验结果，以及基于主要的材料特性，提供底部填充的选择指南。

第9节更新了eGaN器件的现场测试结果且清楚展示，从有记录以来，eGaN器件比任何半导体元件更可靠。

**第1节: 对栅极施加的电压/温度应力**

图1展示了EPC公司的EPC2212[15]eGaN®FET的栅极故障的威布尔分布图。横轴表示失效时间。垂直轴显示对栅极施加不同应力条件后的累计失效概率。

左图在室温下具有不同的电压, 右图显示在120°C时施加的两个不同电压。请注意, 这个器件的数据手册内的最大栅极电压为6 V, 但即使在8 V电压下工作多个小时, 也是很少器件失效。

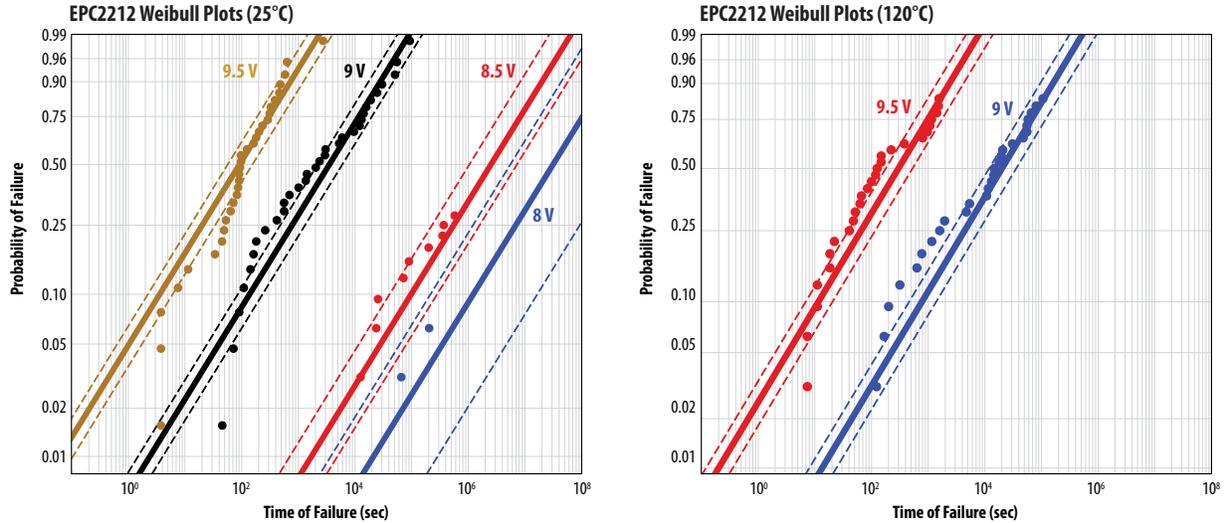


图1: EPC2212器件的栅-源极失效的威布尔分布图。请注意, 即使在8 V时也很少发生故障, 但该器件的最大额定值为6 V。左图展示出温度在25°C的情况, 右侧是在120°C的测试结果

图2展示这些数据转换为故障率。左图是在25°C和120°C时, 这些相同器件的平均失效时间 (MTTF) 与栅-源电压的关系。右图显示在25°C下, 各种失效概率与栅-源电压的关系。请注意, 失效率随温度而变化不大, 但随栅-源电压而变化大。

看看右图,  $V_{GS}$ 为6 V<sub>DC</sub>, 这是器件的绝对最大允许电压, 可预期10年内, 有10 ppm至100 ppm的失效概率。但是, 推荐的栅极驱动电压是5.25 V, 而且在该电压下, 预期10年内的失效概率小于1 ppm。

这些结论仅在这些条件下、主要失效机理都相同, 才是正确。为了确定这点, 我们对这项研究的多个器件进行了失效分析, 发现了一致性的器件失效模式。参看图3的图像、黄色圆圈部分, 我们看到器件的失效位置处于栅极金属和金属1层之间。这两层被氮化硅电介质层隔开。正是这个氮化硅层发生失效, 而不是下面的任何氮化镓 (GaN) 层。

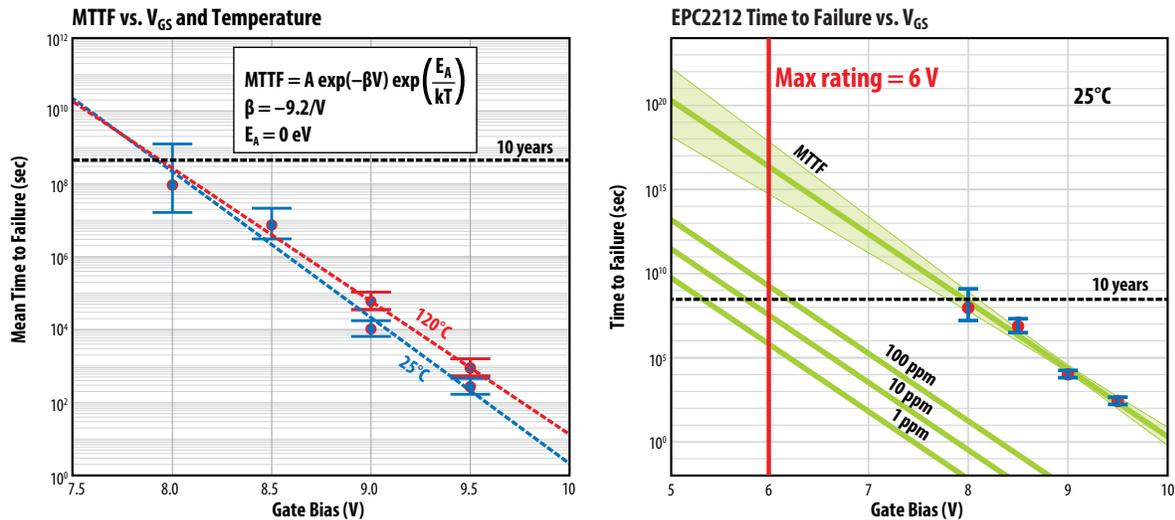


图2: 左图是EPC2212 eGaN FET在25°C和120°C时的平均失效时间 (MTTF) 与 $V_{GS}$ 的关系。右图显示在25°C下, 各种失效概率与 $V_{GS}$ 的关系

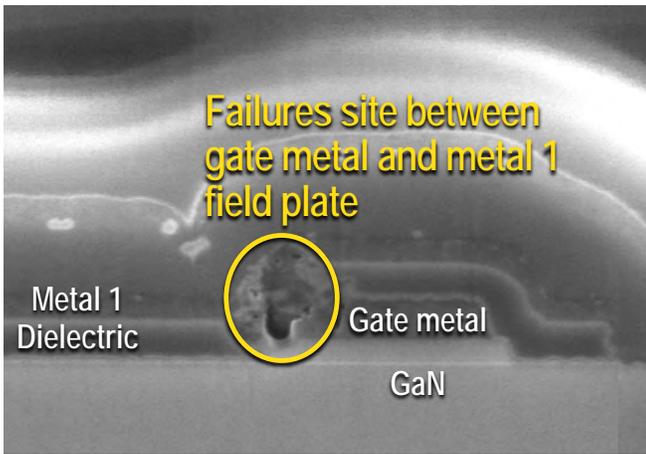


图3: 这里展示了EPC2212 eGaN FET栅极区的扫描电子显微镜 (SEM) 图像。黄色圆圈表示器件的失效位置处于栅极金属层和金属1层之间。

尽管这项器件寿命研究为eGaN FET栅极的可靠性提供了优越的现象模型, 但是很多基本问题仍未能解答:

- 为什么高质量的氮化硅薄膜在远低于其击穿强度的电场下, 会发生介电破裂? 为什么在栅极的拐角处发生这种破裂情况?
- 利用栅极电压对MTTF进行简单的指数缩放是否真的适用于eGaN FET? 是否有可能有别的模型是基于氮化镓器件的失效物理原理?
- 为什么随着温度升高, 栅极的寿命会更长?

为了解答这些问题, EPC公司对最近批次的EPC2212器件, 增加受测器件数量, 对器件进行更长时间 (部分超过1000小时) 和更广泛的栅极加速测试。此外, 还进行了一些关键实验, 揭示高栅极偏压时的器件失效情况。这些研究有利于理解器件失效的物理原理, 并首次直接从这个物理原理, 推导出氮化镓 (eGaN) 器件从头开始到失效的寿命的公式。

EPC收集了令人信服的证据, 表明在高偏压下, eGaN FET的栅极故障是由两步过程导致。第一步是p-GaN栅极层内的碰撞电离会产生电子-空穴对 (e-h), 部分空穴散射并在栅极拐角附近的Si<sub>3</sub>N<sub>4</sub>层被捕获。随着被捕获的空穴电荷密度不断累积, 电介质中的电场不断增强, 直到在某个临界电荷密度下, 它严重破裂。

结果得出公式1中的五参数(five-parameter)栅极寿命公式:

$$MTTF(V_{GS}, \Delta T) = \frac{A}{(1 - c\Delta T)} \exp \left[ \left( \frac{B}{V_{GS} + V_0} \right)^m \right] \quad \text{公式1}$$

其中V<sub>GS</sub>是栅极电压, 而ΔT是温度变化 (相对于25°C)。以下提供了公式1中的其余参数:

- $m = 1.9$
- $V_0 = 1.0 V$
- $B = 57.0 V$
- $A = 1.7 \times 10^{-6} s$
- $c = 6.5 \times 10^{-3} K^{-1}$

为避免冗余, 关于器件的失效物理原理和寿命方程式的推导的完整讨论, 请参看附录A。

图4显示了根据最近的加速研究, 测量所得的EPC2212 eGaN FET MTTF的寿命模型。与简单的指数模型相反, 新公式在低栅极偏置时, 会向上弯曲, 代表当器件工作在数据表的范围内 (低于6 V), 预期器件寿命会延长。此外, 新模型与测量所得的数据拟合, 其中电压加速会随着V<sub>GS</sub>的升高而减慢。图5显示了寿命公式随着温度在零下75°C、25°C和125°C下的变化。请注意, 在较高温度下, MTTF会稍为延长, 如图2所示的测量值。

如附录A所示, 在典型的使用条件下, 碰撞电离模型提供的预期寿命估算值, 比指数模型高。

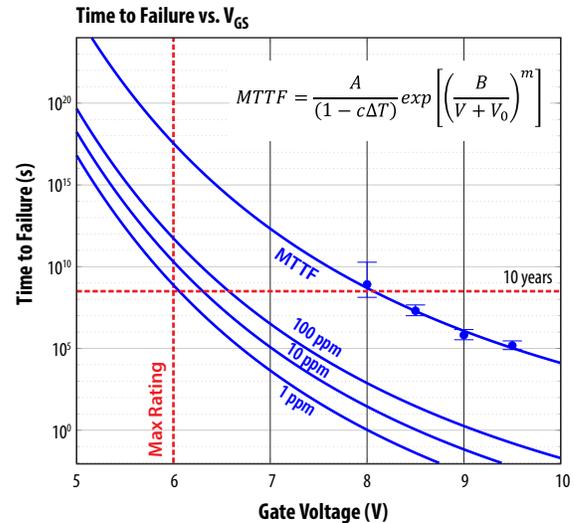


图4: EPC2212的MTTF与在25°C下V<sub>GS</sub>的MTTF (和误差线), 在4个不同电压的情况。实线对应碰撞电离寿命模型。还展示出推断所得的100 ppm、10 ppm和1 ppm失效事件与栅-源极电压关系

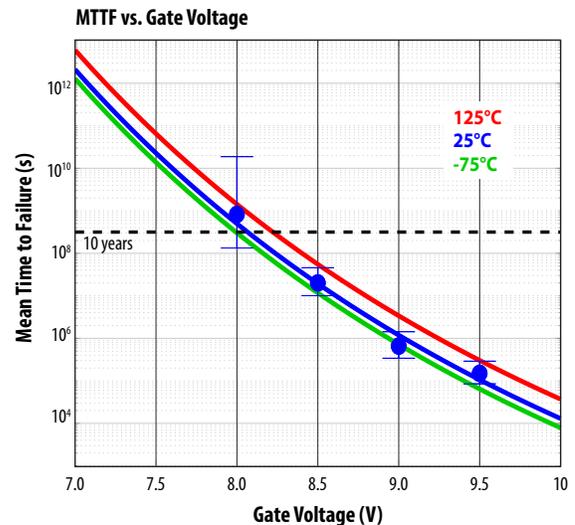


图5: 在4个不同的栅极偏压测量点的EPC2212 (25°C) 的MTTF。蓝线代表器件寿命模型。红线和绿线预测寿命模型在125°C和零下75°C时的情况

## 第2节: 对漏极进行的电压/温度应力测试

这种相同的方法可以适用于所有其他应力测试。例如, 采用氮化镓晶体管的一个普遍关注的问题是动态导通电阻。对器件施加高漏-源电压 ( $V_{DS}$ ) 时, 晶体管的导通电阻会增加。传统的测试方法, 是在最高额定温度 (通常是150°C) 下, 施加最高额定DC  $V_{DS}$ 。如果经过一定时间 (通常是1000小时后) 而器件没有出现故障, 代表该产品的质量良好。

导致导通电阻增加的机理, 是电子在沟道附近被捕获的阱状态。随着捕获的电荷继续累积, 在ON状态时, 会从二维电子气 (2DEG) 耗尽电子, 从而增加导通电阻。在最高温度下施加DC  $V_{DS}$ , 可被俘获的电子来自漏-源的漏电流 ( $I_{DSS}$ )。为了加快捕获速度, 可以对器件施加它的最大额定电压以上的压力, 如图6所示的第四代100 V的EPC2212 eGaN FET。数据与三参数威布尔分布拟合[16]。

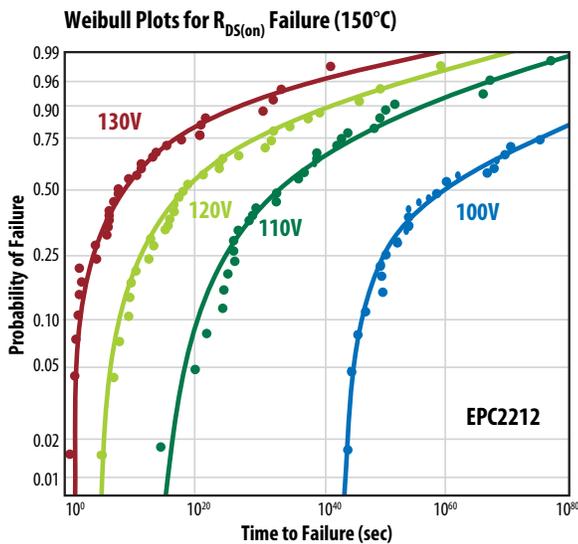


图6: EPC2212 eGaN FET在不同电压下、直流偏压下的威布尔图。器件失效被定义为超出数据表的极限值。

在图7中, 这些数据已转换为相对于电压和温度的器件失效时间曲线。右图显示了10年以上、最大额定漏源电压 ( $V_{DS}$ )、1 ppm器件的失效时间。但是, 不寻常的是, 左图显示了失效率对温度不是很敏感, 尽管在所有条件下失效率都非常低, 失效率在90°C时高于在35°C或150°C。这是由于热电子俘获是主要失效机理, 我们稍后将在本报告中进一步解析。

图8是EPC2212 eGaN FET的放大图, 显示1-2  $\mu\text{m}$ 光学范围内的热发射。在该部分光谱中的发射与热电子一致, 并且当器件处于漏-源极偏压时, 热电子在器件中的位置与最高电场的位置一致。

知道区域中的热电子是被俘获电子的来源, 就了解如何通过改进了的设计和工艺, 实现最小化的动态导通电阻。通过了解热电子的一般行为, 可以从更多不同应力条件下, 归纳器件的行为。

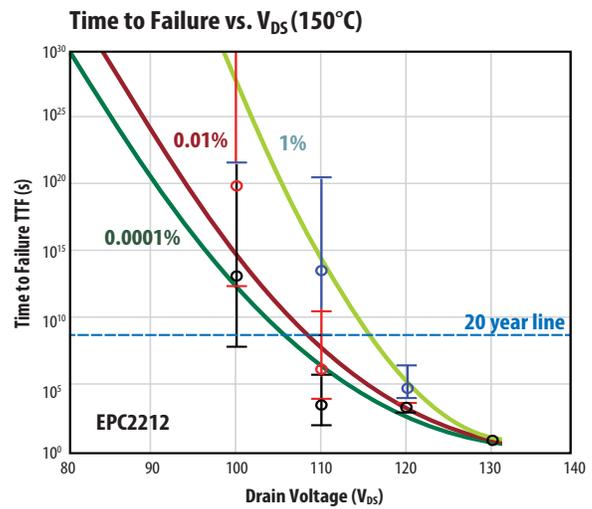
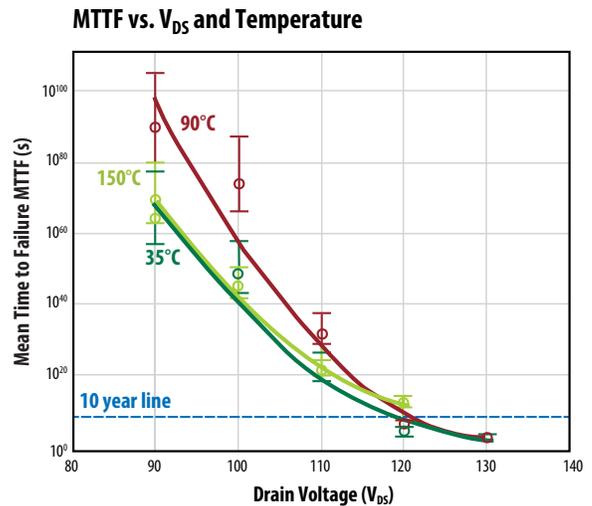


图7: 图4中的数据以及在不同温度下测量所得的数据, 被转换为预测器件在不同时间、温度和电压下的失效率

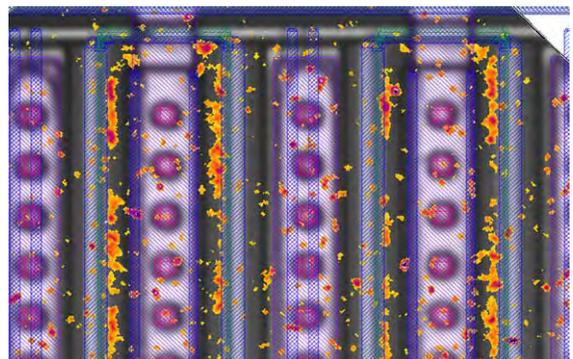


图8: EPC2212 eGaN FET的放大图, 显示出与热电子一致的1-2  $\mu\text{m}$ 波长的短波红外光范围 (SWIR) 中发光。SWIR发射 (橘红色) 已覆盖在常规 (可见波长) 显微镜图像上

另外，更多的热电子可以加速俘获机理。为此，创建了图9所示的电路，该电路在最高额定 $V_{DS}$ ，实现高 $I_{DSS}$ 。换句话说，在高温下，除了使用由直流偏压产生的漏电流，用作可以被捕获的电子源外，还可以通过制作一个如图7所示的开关电路，不随温度变化，生成多倍的可被捕获的电子。该电路是JEDEC JEP173 [17]提议的硬开关拓扑之一。

图10显示了在不同的电压应力和温度下，第五代器件EPC2045 eGaN FET的导通电阻如何随时间而增加。左图是在25°C和60 V至120 V下对器件进行测试的结果（EPC2045的 $V_{DS}$ 最大值为100 V）。横轴的测量时间是以分钟计算，最长的时间是10年。

右图则显示了在不同温度下、120 V偏压时，导通电阻的变化。违反直觉的结果表明，在较低温度下，导通电阻应该增加得更快，就如热载流子注入的情况一样，因为热电子在较低温度下散射，因此在给定的电场下，更大的动能会使得热电子加速。结果是电子可以到达不同的层且更容易被捕获。这表明，如果要在最大电压和最高温度下对器件进行测试，传统的测试方法有可能不足以确定器件的可靠性。

现在可以进一步理解图7所展示的结果。在直流偏压下对器件加热时，漏电流会增加。但是，当热载流子的平均自由程更短时，会减少可被捕获的电子数量，而当温度从室温上升至90°C时，导通电阻会随时间而增加，但随后在较高的温度下，开始下降 - 这是另一个与直觉相反的结果。

以上的结果在发布第十阶段和第十一阶段的报告时，引起了氮化镓eGaN社群的极大兴趣和引发很多问题和一些怀疑。

要解决的关键问题是：

- 是否已在更长的时间间距，验证对数（时间）增长的特性？这很重要，因为这种增长特性对于长期寿命预测至关重要。
- 导通电阻在数据表温度范围内的低温点（例如零下40°C）是什么？
- 如何比较电感和电阻式硬开关的动态导通电阻？
- 导通电阻如何取决于开关电流和开关频率？
- 是否可以利用基于器件的物理理论，解释对数（时间）增长特性，以及随温度和电压的变化？
- 以上的理论是否可以构建紧凑的数学模型，从而在不同的漏极电压和温度下，预测动态导通电阻？

本节的其余部分会依次解答这些问题。您将看到受测器件工作在1000小时的连续硬开关后的长期动态导通电阻，和比较电感式和电阻式硬开关的数据。此外，我们将展示低温操作（零下30°C）的影响和在不同开关电流对器件的影响。在本节的最后部分，我们提供eGaN FET的基于第一原理、物理原理的动态导通电阻模型，该模型成功解析上述所有的现象。最后的部分引用主要结果，以及有关物理推导的详细讨论，请参看附录B。

图9: 符合JEDEC JEP173 [16]的硬开关电路

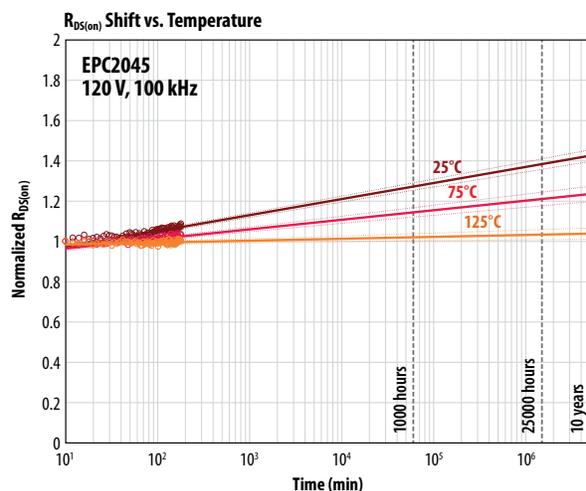
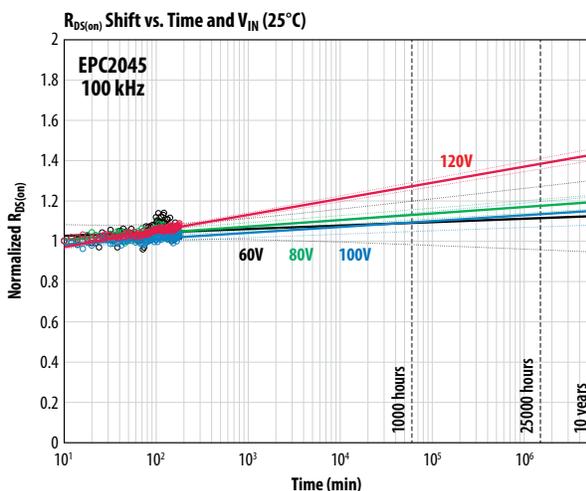
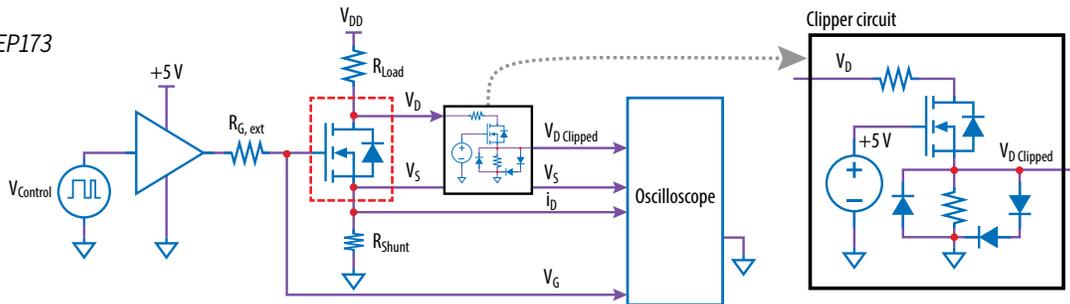


图10：显示在不同的电压应力和温度下，第五代器件EPC2045 eGaN FET的导通电阻如何随时间而增加。左图是在25°C和60 V至120 V下对器件进行测试的结果。右图展示在不同的温度和120V下，器件的导通电阻的变化。

### 2.1 超过1000小时的连续硬开关操作

电阻式硬开关系统用于同时测试6个EPC2218 eGaN FET且连续工作1000小时以上。该测试旨在展示电荷捕获机理导致导通电阻长期增加，是遵循对数（时间）趋势。如果长期保持这种趋势，则可以使用开始后几个小时的测试数据来预测10或15年后的预期导通电阻。图11显示所有受测器件随时间变化的归一化导通电阻。图12比较了使用前五个小时与1150小时的数据的差异。

五小时线拟合的主要误差，来自环境温度的微小变化。这些随（随机）温度的变化，会随着较长的测试时间而消失。但是在15年后，短时间和长时间测试的预期导通电阻的差异都在10%以内。因此，我们相信可以使用短期数据（数小时以上）来准确地预测出长期的动态导通电阻。

请注意，如图11和12所示，导通电阻是根据在整个测试过程中，定期采集的示波器波形计算得出的，如先前在我们第十阶段测试报告[10]中所述。这种方法不仅提供大量数据，它还提供了在整个测试中的任何时间点，其高速电压的波形图。

图13显示了在连续硬开关1000小时后的这种波形。您可以看到，器件在时间 $t_0$ 开启，测量 $t_2$ 至 $t_3$ 时期的平均导通电阻，在开关后是 $0.5\mu\text{s}$ 到 $1.0\mu\text{s}$ 。排除了从 $t_0$ 到 $t_1$ 的时间，因为在限幅电路稳定时，它包含一个寄生瞬态信号。但是，从波形中注意到，开关转换后的 $0.3\mu\text{s}$ 到 $1.0\mu\text{s}$ 时，导通电阻基本上没有改变。这种情况，以及其他大量数据表明，eGaN技术在开关转换后的第一毫秒内，没有短期的恢复效应（或“快速动

态 $R_{DS(on)}$ ”。然而，我们报告了，不同的GaN HEMT技术具有这种快速动态效应。对于eGaN器件，其动态 $R_{DS(on)}$ 表现为取决于对数（t）、缓慢且长期的上升情况。

对于具有较短反应时间的不同限幅解决方案，可用于开启500 ns内测量所得的导通电阻。例如[27]描述使用双脉冲测试电路、EPC2045器件在开启50 ns后，测量所得的导通电阻。在100 V和20 A的电感式硬开关下，没有找到“快速动态导通电阻”。

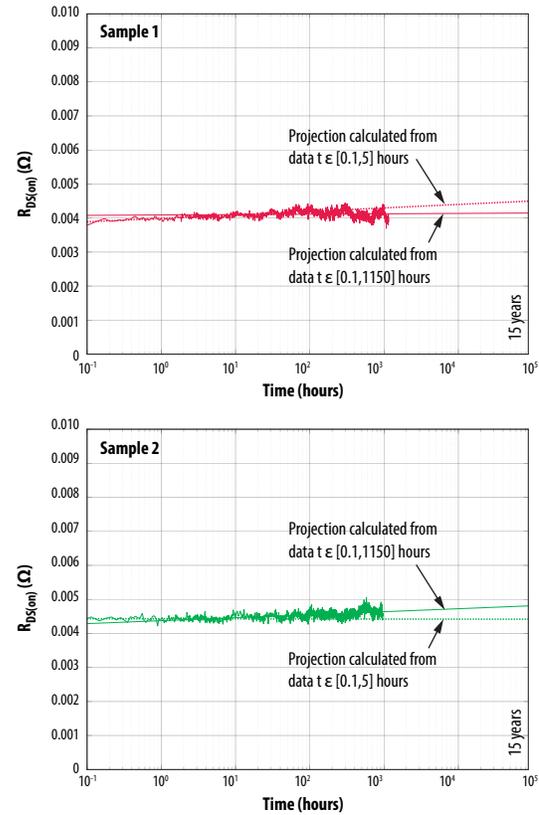


图12: 比较对数（时间）与导通电阻数据的拟合，其中虚线代表前5小时的拟合，而实线代表1150小时的拟合。这里用了两个EPC2218器件测量所得的数据。请注意，短期拟合与长期拟合具有相似的预测值，在15年预测中，具有±10%的较小随机差异

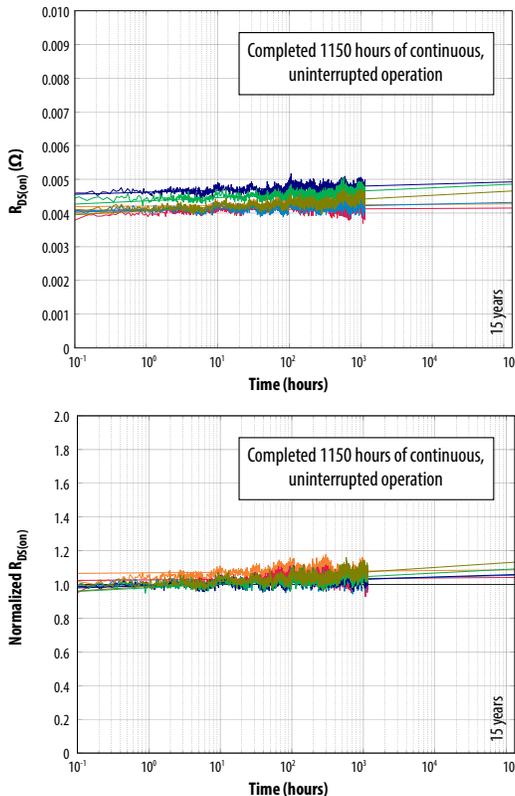


图11: 在环境温度和100V偏置下连续电阻式硬开关操作超过1000小时后，6个受测EPC2218 eGaN FET的长期动态导通电阻。上图显示了导通电阻与时间的关系。下图显示前10分钟后，归一化的导通电阻。请注意，即使操作超过1000小时后，导通电阻也继续取决于对数（时间）增长

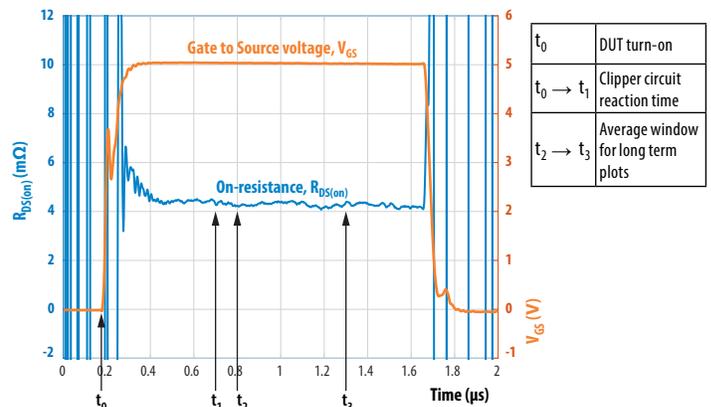


图13: 开关转换后的首1至 $2\mu\text{s}$ 内，导通电阻的高分辨率示波器波形。这是经过1000个小时的连续电阻硬开关后的EPC2218波形。请注意，在其它GaN技术没有找到“快速动态导通电阻”恢复的证据

## 2.2 电感式与电阻式硬开关的比较和开关电流的影响

有些客户担忧电阻式硬开关并不能真正代表电感式硬开关的热载流子的应力。这点也在学术文献、会议论文集和由其它氮化镓制造商提出过。论点环绕在开启、转换期间，器件经过电流-电压空间的轨迹。对于电感转换，在电压和电流都很高的关键时间间隔内，场效应晶体管承受较高的电流，这正是导致热载流子效应的条件。这些说法虽然合理，但从来没有真实数据或确实理论支持它。

为了解决这个问题，EPC开发了一种定制测试夹具，用于测量电感式和电阻式硬开关。该系统的关键功能是能够在同一受测器件上，从电感模式转换为电阻模式（和转回）。对于电感模式，测试电路是升压转换器，它在连续导电模式（CCM）下工作。在这两种模式下，器件均在200 kHz频率连续开关，并绘画出示波器的迹线，使我们能够监察到短期和长期的动态导通电阻。

图14显示了EPC2204 eGaN FET在80 V开关的数据。在开始的4个小时内，该器件以电感模式工作，之后在电阻模式下工作4小时。为了保证公平比较电阻和电感开关，器件的截止状态电压、频率、占空比和导通时的电流都是相同。从图中可以看出，对数 (t) 增长特性的斜率或截距没有明显分别：电阻式和电感式硬开关的导通电阻基本上没有分别。转换时的第一毫秒短时期的影响，两种模式都是没有“快速”恢复。

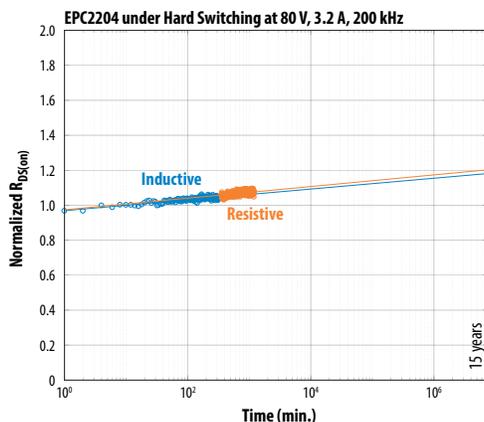


图14: 对80 V并工作在200 kHz的EPC2204 FET比较电感式和电阻式硬开关。对相同的器件，在开始的4个小时内，测试电感模式开关。在接下来的4个小时内，测试电阻模式。在于动态导通电阻，两种模式基本上没有分别。

这个令人惊讶的结果意味着，eGaN FET的导通电阻漂移机理没有或很少与转换期间的电流电压的详细轨迹相关。在两种开关情况下，导通期间都会同时存在电压和电流。对于电阻开关模式，晶体管两端的电压随着电流的升高而降低；而在纯电感导通中，电流在电压崩溃之前就已经上升。两个模式的动态导通电阻非常相似，意味着电子电流对热载流子捕获的影响不大。

为了进一步探讨该假设，在两个不同的开关电流下，对EPC2206器件测量电阻硬开关。图15（上图）显示测量结果。一个器件在12.8 A下测试，另一个器件在25.6 A下测试，倍增开关电流。为了解析在每种情况下，器件的不同发热量，将导通电阻归一化为在10分钟时的数值。跟之前的结果一样，令人惊讶的是，开关电流对log (t) 增长特性的斜率或截距没有明显的影响。同样，对电感式硬开关、开关电流对斜率的影响进行评估。

图15（下图）显示了升压转换器所采用的EPC2204器件在不同的电流和80 V输出电压工作。在开始的1.5小时内，器件在1 A开关电流下工作。然后它在5 A工作3.5小时，并在10 A电流下工作20小时。为了更容易地解释结果，在每个时间间隔的开始，将导通电阻归一化为热稳态导通电阻。

如以下所述，基于物理学的动态导通电阻模型可以解释以上的结果。该模型预测开关电流（或开关轨迹）对log (t) 线的斜率没有影响。此外，模型也预测，开关电流确实会影响该线的截距，但影响很小。实际上，线的截距（或附加垂直偏移）将像开关电流的对数一样增加。相同的原因是开关轨迹的详细细节几乎没有什么影响，而且电感和电阻硬开关同样是表征动态导通电阻的有效方法。

虽然对于电感测试电路同样有效，但是在评估动态导通电阻时，电阻式开关电路具备很多实际优势。首先，该电路更简单、更紧凑，可以将其集成在探针卡上进行晶圆级表征。另一个优势是在关断期间，没有电压过冲，允许在更接近击穿电压的电压下进行测试，从而实现开关轨迹中的工作点是电感式开关电路不能实现的。基于这些原因，EPC公司将继续使用电阻开关电路，作为器件表征的主要方法。

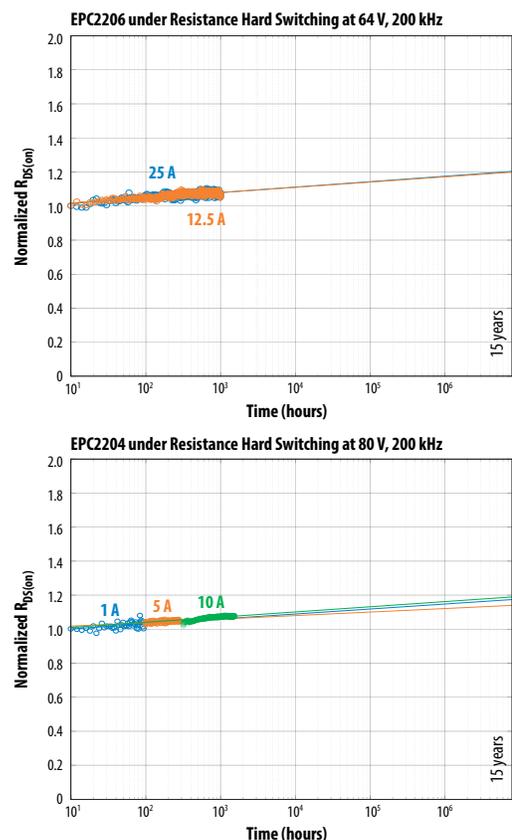


图15: 开关电流对动态导通电阻的影响。（上图）在64 V、200 kHz、电阻硬开关下测试两个EPC2206器件。（下图）在80 V、200 kHz、电感硬开关和三种不同电流下，对同一个器件进行测试。在log (t) 增长特性的斜率或截距中，没有发现明显的差异

## 2.3 交替的热/冷开关测试

在之前的报告后，EPC公司在更低的温度下，进行了额外的硬开关可靠性测试[10]。使用一个特别设计的热电模块，把它安装在受测器件的背面（外壳），器件在开关时，可在低至零下30°C工作（请注意，这种情况本质上是学术研究条件，即使在非常寒冷的环境下，由于器件会自热，所以器件不会处于如此低温的情况下）。

典型结果如图16所示，EPC2059器件在连续硬开关下工作并同时在两个完整的循环，调节外壳温度为80°C和零下30°C之间。当温度降至零下30°C时，由于通道迁移率增加，导通电阻也下降。但是，导通电阻跟随 $\log(t)$ 增长特性随时间开始上升，其斜率明显高于在80°C时的斜率。再次循环温度时，在这两条不同的线之间，导通电阻来回升降。

该数据提供了更多的证据，证明 $\log(t)$ 增长定律的斜率，具有负温度系数，我们将用下一个模型解释这种情况。尽管在零下30°C时，斜率确实更高（接近数据表提供的最低零下40°C），即使器件在这种不切实际的条件下连续工作10年，它的导通电阻比器件工作在80°C下、相同的时间后更低。

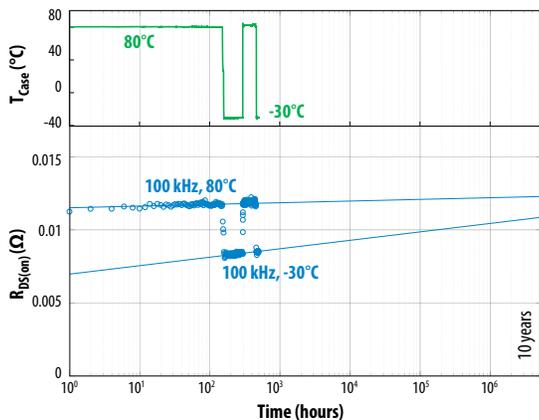


图16: 交替冷热条件对EPC2059的动态 $R_{DS(on)}$ 的影响。(上) 外壳温度与时间的关系，由热电冷却器控制。(底部)  $R_{DS(on)}$  与时间的关系。在100 V、100 kHz下不停开关

## 2.4 基于物理学的动态 $R_{DS(on)}$ 和器件寿命模型

EPC公司开发了基于“第一原理”的数学模型，透过了解进入表面陷阱的热载流子的基本物理学原理，描述eGaN FET的动态导通电阻的影响。该模型成功预测到以下的现象：

- $R_{DS(on)}$  随时间而增加 ( $\log(t)$ )
- $R_{DS(on)}$  随时间变化的斜率具有负温度系数（即在较高温度下，斜率较低）
- 开关频率不影响斜率，但会引起小垂直偏移
- 开关电流不会影响斜率，但会导致小垂直偏移
- 电感式和电阻式硬开关之间的差异可忽略不计

本节总结了各个模型方程式而没有解释。关于这些公式的理论推导，请参看附录B。

## 2.4.1 归一化 $R_{DS(on)}$ 偏移公式

公式2将 $R_{DS(on)}$ 建模为时间、温度和漏极电压的函数。它涉及五个随器件变化的参数。下表列出参数值，适用于EPC2045或附录B中其它100 V的第五代场效应晶体管。使用自然对数（基数e）进行拟合。虽然该公式一般适用于所有氮化镓场效应晶体管（eGaN FET），但请咨询EPC公司以获取其它eGaN产品的特有参数值。

$$\frac{\Delta R}{R} = a + b \log \left( 1 + \exp \left( \frac{V_{DS} - V_{FD}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{\hbar \omega_{LO}}{kT} \right) \log(t) \quad \text{公式2}$$

### Independent Variables:

$V_{DS}$  = Drain voltage (V)  
 $T$  = Device temperature (K)  
 $t$  = Time (min)

### Parameters:

$a$  = 0.00 (unitless)  
 $b$  = 2.0E-5 (K<sup>-1/2</sup>)  
 $\hbar \omega_{LO}$  = 92 meV  
 $V_{FD}$  = 100 V (appropriate for Gen5 100 V products only)  
 $\alpha$  = 10 (V)

## 2.4.2 开关频率/电流比例关系

公式3允许用户量化从一组条件 ( $f_1, I_1$ ) 改为另一组条件 ( $f_2, I_2$ ) 下，开关频率 ( $f$ ) 或开关电流 ( $I$ ) 的影响。这些变化对 $R_{DS(on)}$ 的影响仅仅是 $\log(t)$ 增长特性中由一个条件改为另一个条件下的垂直偏移。 $\log(t)$ 增长特性的斜率不会改变，只有垂直偏移会改变。请注意，该偏移幅度取决于频率或电流的对数，因此受它们的变量的影响很小。

$$R(t; f_2, I_2) = R(t; f_1, I_1) + b \left( \log \left( \frac{f_2}{f_1} \right) + \log \left( \frac{I_2}{I_1} \right) \right) \quad \text{公式3}$$

## 2.4.3 硬开关寿命模型

公式4基于漏极电压和温度的工作条件，对eGaN FET的预期寿命进行建模。如果客户需要在特定任务下进行寿命估算以满足某些质量或可靠性的要求，这个公式非常有用。它由公式2直接推导并找出导通电阻上升20%的时间。它可以容易地配合器件寿命的其它定义。

$$\langle t \rangle = \exp \left[ \frac{(0.2 - a)}{b \log \left( 1 + \exp \left( \frac{V_{DS} - V_{FD}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{\hbar \omega_{LO}}{kT} \right)} \right] (\text{min}) \quad \text{公式4}$$

图17比较了在4个不同的漏极偏置下工作的EPC2045的测量值和模型。考虑测量数据的不确定性外，测量所得的数据与模型拟合。

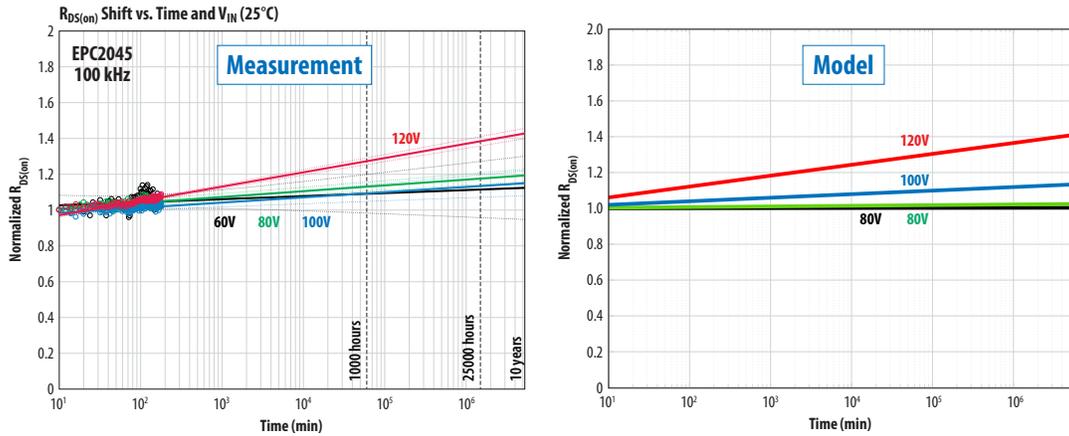


图17: 在25°C、100 kHz下, EPC2045在不同漏极电压下的动态 $R_{DS(on)}$ 的测量和模型数据的比较

图18比较在3个不同温度下工作的EPC2045的测量值和模型。考虑测量数据的不确定性外，测量所得的数据与模型也是拟合。

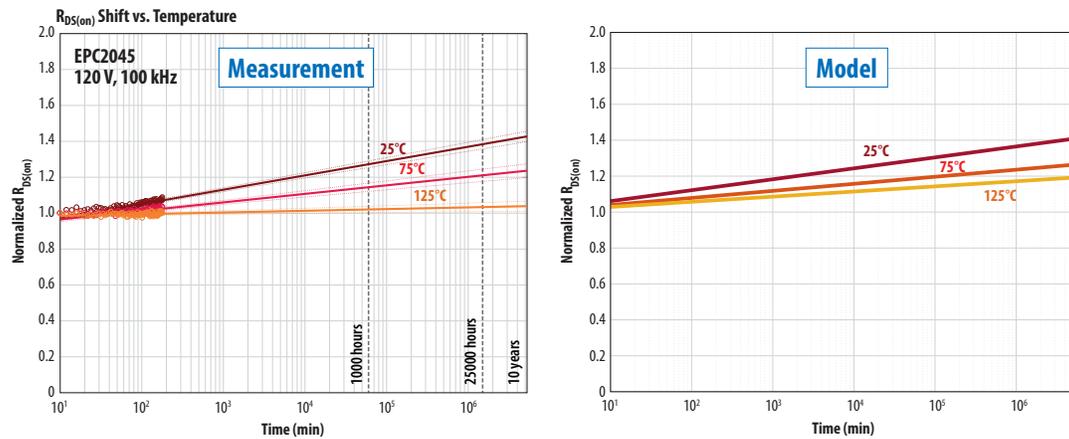


图18: 在120 V、100 kHz下, EPC2045在不同温度下的动态 $R_{DS(on)}$ 的测量和模型数据的比较

### 动态导通电阻的行为和建模方法的总结

公式4根据漏极电压和温度的工作条件对eGaN FET的预期寿命进行建模。该公式对于需要在特定任务下估算器件寿命，从而满足特定质量或可靠性要求的客户很有用。它从公式2直接推导出，计算出导通电阻增加20%的时间。它可以易于适用于寿命的其它定义。

这个模型预测：

- 导通电阻随时间增长 (log(t))
- 导通电阻随时间的斜率具有负温度系数 (温度上升时斜率较低)
- 开关频率不会影响斜率, 但会引致小垂直偏移
- 开关电流不会影响斜率, 但会引致小垂直偏移

附录B提供构建这个模型的详情。

### 第3节: 安全工作区域

安全工作区域 (SOA) 测试eGaN FET在给定的脉冲持续时间内, 在高电流 ( $I_D$ ) 和高电压 ( $V_{DS}$ ) 应力下的影响。主要目的是验证场效应晶体管在数据表的SOA的每个测量点 ( $I_D$ 、 $V_{DS}$ ) 都可以正常工作。它也可以通过反复测试器件工作在安全区域条件之外, 找出安全工作的裕量。

在测试SOA期间, 芯片内的高功耗会导致结温快速上升, 并且形成高热梯度。对于足够高的功率或脉冲持续时间, 该器件会过热、损坏严重。这称为过热故障。

对硅MOSFET中进行SOA测试中, 观察到另一种称为二次击穿 (或 Spirito效应[14]) 的故障机理。这种故障模式发生在高 $V_D$ 和低 $I_D$ 时, 是由结温和阈值 $V_{TH}$ 之间的不稳定反馈引起的。随着脉冲期间结温上升、 $V_{TH}$ 下降, 这可以导致脉冲电流上升。而上升电流导致温度更快速上升, 从而形成正向反馈回路, 导致热失控和最终故障。我们研究的目的, 是确定eGaN FET中是否也存在这种Spirito效应。

EPC为eGaN FET设计并构建了定制的安全工作区测试系统。附录D详细描述了该系统。简而言之, 该电路的工作原理跟曲线跟踪器相似。被测器件 (DUT) 的栅极偏置设置在脉冲之前, 用于调制最终脉冲电流。然后, 在特定持续脉冲时期, 通过p沟道控制FET, 将漏极电压脉冲到漏极。

对于直流脉冲或持续长时间的脉冲, FET的SOA能力, 要看器件的散热器。这对于评估SOA, 在技术方面构成极大的挑战, 通常需要特殊的水冷散热器。但是, 对于短脉冲 (低于1 ms), 散热器不会影响SOA。这是因为在很短的时间范围内, 在结点产生的热量, 没有足够时间散到任何外置散热器。相反地, 所有电能转换为提高了GaN膜和附近硅衬底的温度 (热容)。基于这些考虑, SOA测试在两个脉冲时期进行: 1 ms和100 $\mu$ s。

从图19看到200 V的EPC2034C的SOA数据, 各个独立脉冲测试, 以 $I_D$ 和 $V_{DS}$ 的电压值组成的点来标示。这些点放在SOA的数据图表上。100 $\mu$ s和1ms脉冲数据并列。绿点表示器件通过了100 $\mu$ s脉冲, 而红点则表示元件失效。从低 $V_{DS}$ 到最大 $V_{DS}$  (200 V) 范围、广泛的SOA区域内, 没有器件失效 (所有绿点)。而所有失效器件 (红点) 都在SOA区域以外, 如数据图表的绿色线所示。同样地, 在1ms脉冲 (紫色和红色三角形), 所有器件的故障均发生在数据表SOA区域之外。

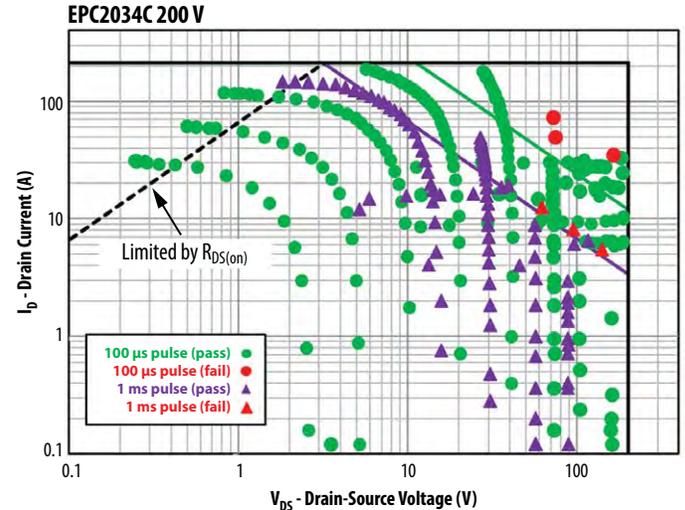


图19: 这是EPC2034C的SOA图。受限于导通阻抗 ( $R_{DS(on)}$ ) 的虚线, 是基于在150°C时, 数据表的 $R_{DS(on)}$ 的最大规格。这图也同时展示出1ms (紫色三角形) 和100 $\mu$ s (绿色点) 脉冲的测量值。红色三角形 (1 ms) 或红色点 (100 $\mu$ s) 代表发生故障。请注意, 所有故障都发生在数据表SOA区域之外

图20提供了另外三个器件的SOA数据：通过车规级AEC认证的EPC2212（这是第4代100 V的车用器件）、EPC2045（第5代100 V器件）和EPC2014C（第4代40 V器件）。所有受测的器件在数据表所载的安全工作区域内，没有发生故障，而所有故障均发生在SOA限制范围以外，通常远远超出限制值。

数据表的SOA图是使用包含所有相关层以及其导热性能和热容量的器件热模型，通过有限元分析生成的。根据瞬态仿真，SOA限值由一个简单的标准确定：对于给定的脉冲持续时间，功耗产生于结温在脉冲结束前不超过150°C。此标准导致基于恒定功率的限制，在SOA图中由45°的绿色线（100 μs）和紫色线（1 ms）表示。这种方法会生成一个数据表图表，定义一个保守的安全工作区域，从我们的研究中大量测试数据可以证明这一点。对于功率MOSFET，相同的恒定功率方法会导致在高电压范围，高估了器件的性能，由于不稳定热量（Spírito效应）而导致器件过早发生故障。

但是，从故障的物理角度来看，从图20可以明显看出，在某些情况下，eGaN FET可以在标称安全工作区域之外，不会失效，但是在较高的漏-源偏置和较长的脉冲持续时间下，eGaN FET可以正常工作的裕度则会降低。为了更深入了解器件的失效机理，EPC计划在更高的V<sub>DS</sub>（超出数据手册的最大值）和更长的脉冲持续时间下，进行反复测试器件的研究。这些研究将需要添加器件的散热器以获得有效的结果。测量技术将不断完善，而剖析失效器件，可找出内在的失效机理。

尽管仍然未知故障的物理机理，但这项研究的结果表明，如果eGaN FET工作在数据手册所载的SOA内，不会失效。

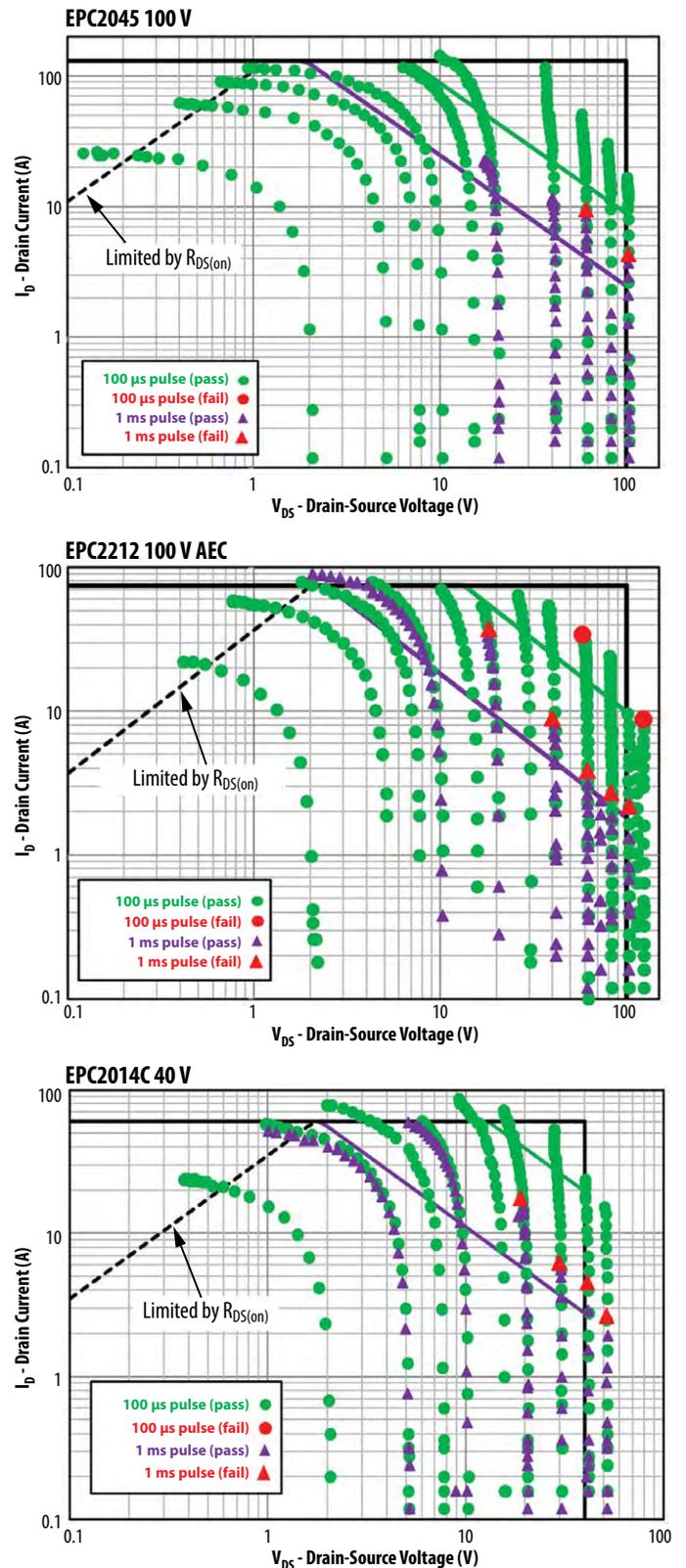


图20: 这里展示了EPC2045、EPC2212和EPC2014C器件的SOA结果，也同时展示出1 ms（紫色三角形）和100 μs（绿色点）脉冲的测量值。红色三角形（1 ms）或红色点（100 μs）代表发生故障。请注意，所有器件的故障，都发生在数据表SOA区域之外

#### 第4节: 短路电路的鲁棒性测试

短路鲁棒性是指FET导通时, 能够承受多少在功率转换器中可能发生的意外故障的能力。在这种情况下, 该器件将承受全总线电压, 而电流仅受晶体管固有的饱和电流和电路的寄生电阻的限制, 而寄生电阻随不同的应用和发生故障的位置而变化。如果短路状态没有被保护电路消除, 极端的功耗最终将导致FET发生过热故障。短路测试的目的, 是量化元件在这些条件下不发生故障的“耐受时间”。典型的保护电路(例如IGBT栅极驱动器的去饱和和保护)可以在2-3 $\mu$ s内检测到过电流情况而作出反应。因此, 如果eGaN FET能够承受没有钳位的短路情况约5 $\mu$ s或更长的时间, 是较可取的。

用于短路鲁棒性评估的两个主要测试电路为[18]:

- 硬开关故障 (HSF): 在施加漏极电压的情况下将栅极打开 (和关闭)
- 负载故障 (FUL): 漏极电压打开、栅极打开

EPC在是次研究, 利用两种故障模式, 对器件进行测试后, 发现耐受时间没有显著差异。因此, 在接下来的讨论中, 重点关注FUL结果。然而, 重要的是, 从HSF测试看到, eGaN FET不会任有像硅基IGBT具有门锁或栅极控制损耗[18]。这是在我们预期之内的, 因为eGaN器件没有寄生双极结构。在FET发生灾难性故障之前, 可以通过切换低侧栅极来完全消除短路, 是保护电路设计的有用功能。附录D提供了测试方法的详细信息。

我们测试了两种极具代表性的eGaN FET:

1. EPC2203 (80 V): 第4代车规级 (AEC认证) 器件
2. EPC2051 (100 V): 第五代器件

选择这两个器件, 因为是产品系列中尺寸最小的器件。由于短路评估需要大电流, 因此简化了测试。但是, 根据简单的热微缩论点, 预计其它产品系列的器件的耐受时间相同。EPC2203器件的结果, 适用于EPC2202、EPC2206、EPC2201和EPC2212; 而EPC2051的结果适用于EPC2045和EPC2053。

图21显示了EPC2203器件在不同的上升漏极电压时的FUL数据。在 $V_{GS}$ 为6 V (数据手册上的最大值) 和10  $\mu$ s漏极脉冲的情况下, 直至 $V_{DS}$ 为60 V前, 器件没有失效。在这些情况下, 0.9 mm x 0.9 mm的芯片的功耗超过3 kW。在更高的 $V_{DS}$ 下, 可以看到电流在脉冲期间会随时间衰减。这是器件内部结温升高的结果, 并不表示任何永久性的器件损坏。

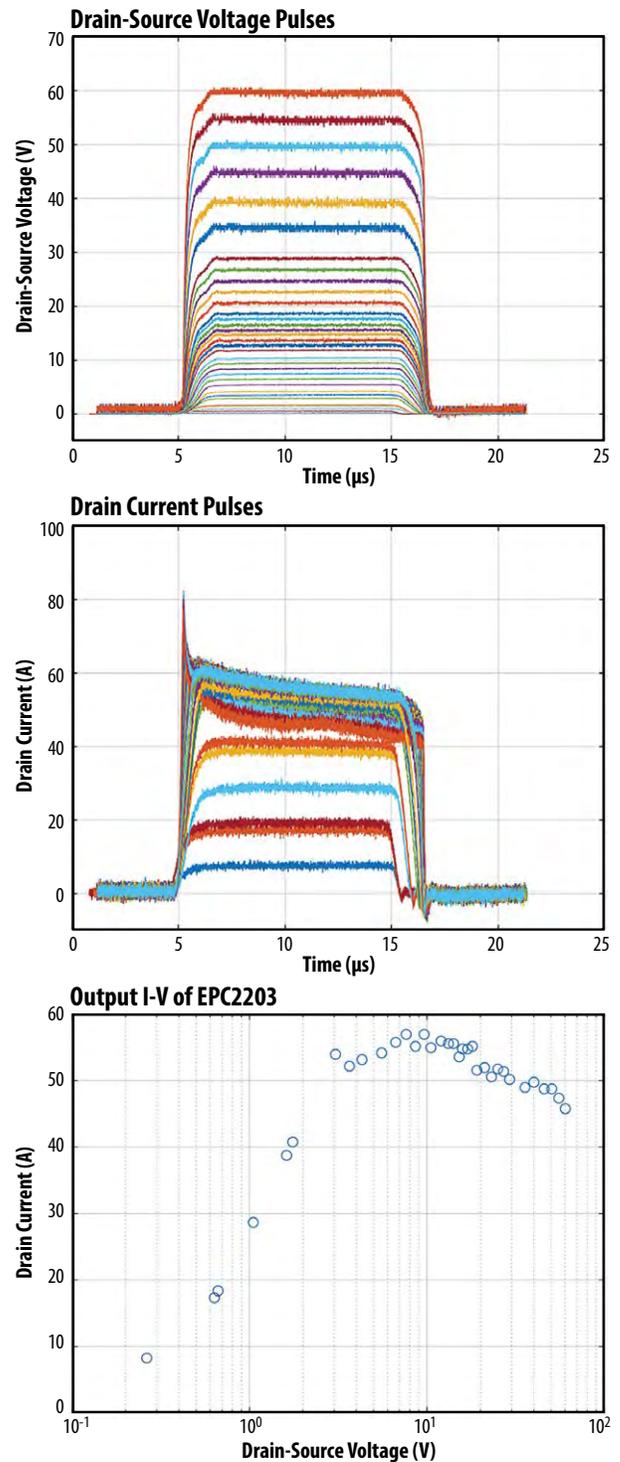


图21: EPC2203在各个上升的漏极电压时的FUL测试波形图。漏极脉冲为10  $\mu$ s,  $V_{GS}$ 为6 V。在该脉宽时, 器件没有发生故障。(最上图)  $V_{DS}$ 与时间的关系。直接在器件端子感测开尔文 $V_{DS}$  (Kelvin drain-source)。(中间图)  $I_{DS}$ 与时间的关系。请注意, 由于自发热,  $I_{DS}$ 随着时间而降低。(底图) 此测试序列的结果的输出曲线。报告漏电流为脉冲期间的平均电流。漏电流在饱和区域下降, 因为器件在较高的 $V_{DS}$ 时的热量增加

当使用更长的脉冲持续时间 (25 μs)，这些器件最终会因热过载而失效。具代表性的波形如图22所示。当漏电流突然急剧上升时，这代表器件的失效时间。在这之后，器件将永久损坏。器件可承受时间，是从脉冲到失效时间的时期。

为了收集耐受时间的统计数据，使用此方法测试了8个器件的失效情况。表2总结了测试结果。EPC2203器件在5 V (推荐的栅极驱动电压) 和6 V ( $V_{GS}$ 最大值) 下进行测试，平均耐受时间分别为20 μs和13 μs。请注意，由于较高的饱和电流，该器件工作在6 V电压下，耐受的时间更短。与EPC2203器件工作在6 V相比，EPC2051器件的失效时间 (9.3 μs) 略低。这是可以预期的，因为第5代产品的缩放和电流密度更高。但是，在所有情况下，耐受时间都足够长，足以使大多数短路保护电路做出响应，并且防止器件失效。此外，不同器件的耐受时间有少许不同。

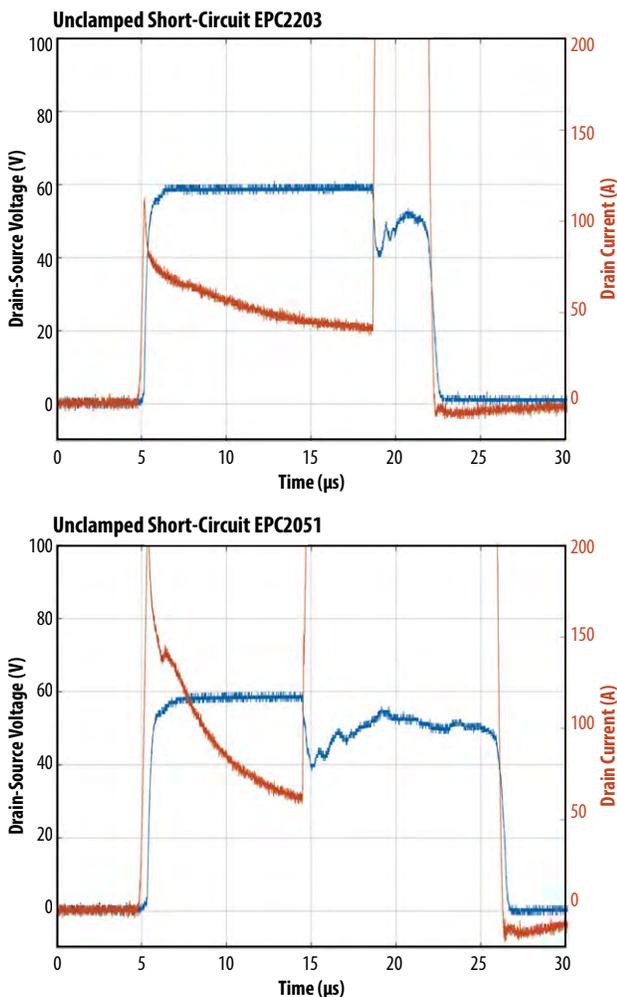


图22: 典型的EPC2203器件 (上) 和EPC2051器件 (下) 在 $V_{DS}$ 为60 V、 $V_{GS}$ 为6 V、25 μs漏极脉冲时的FUL测试波形图。漏电流的突然上升标示灾难性热故障的发生时间

表2的下排提供了相对于芯片尺寸的脉冲功率和能量。为了深入了解这些数值与失效时间的关系，模拟随时间而变化的传热，从而确定在短路脉冲期间，上升了的结温 $\Delta T_j$ 。结果如图23所示。

Short-circuit pulse $V_{DS} = 60 V$	EPC2203 (Gen 4)		EPC2051 (Gen 5)	
	$V_{GS} = 6 V$	$V_{GS} = 5 V$	$V_{GS} = 6 V$	$V_{GS} = 5 V$
Mean TTF (μs)	13.1	20.0	9.33	21.87
Std. dev. (μs)	0.78	0.37	0.21	2.95
Min. TTF (μs)	12.1	19.6	9.08	18.53
Avg pulse power (kW)	3.211	2.554	5.516	3.699
Energy (mJ)	43.36	50.24	50.43	77.34
Die area (mm <sup>2</sup> )	0.9025		1.105	
Avg power/area (kW/mm <sup>2</sup> )	3.558	2.830	4.99	3.35
Energy/area (mJ/mm <sup>2</sup> )	48.05	55.67	45.64	69.99

表2: EPC2203和EPC2051器件的短路耐受时间统计数值。在各情况下统计8个器件。耐受时间非常接近平均值。平均脉冲功率和能量是受测器件中的典型器件的结果。

脉冲期间的高功率密度导致GaN层和附近的硅衬底的热量急升。由于短脉冲和传热相对地较慢，因此只有不厚的半导体 (深度大约小于100微米) 可以帮助吸收能量。温度随着时间的平方根 (热扩散的特性) 而上升，并随脉冲功率呈线性的增长。从图23可以看到，EPC2203器件工作在5 V和6 V且结温上升大约是850°C时失效。EPC2051器件的情况相同，它在结温 $\Delta T_j$ 大约为1050°C时失效。这些结果得出三个重要结论：

1. 对于给定的器件，失效时间与功耗平方 (P-2) 成反比。这适用于短路及持续时间大约低于1 ms的SOA脉冲。
2. 高功率脉冲所导致的固有故障模式，直接与超过若干临界值的结温有关。
3. 由于自由载流子的热失控，宽带隙eGaN器件可以承受的结温 (高于800°C)，是硅器件无法实现的。

我们需要进一步分析，才能确定失效器件的确实机理。尽管如此，本研究提供的实验结果证明了eGaN FET具备卓越的短路性能，让用户可以设计出具有充足的安全裕量的系统和短路保护方案。

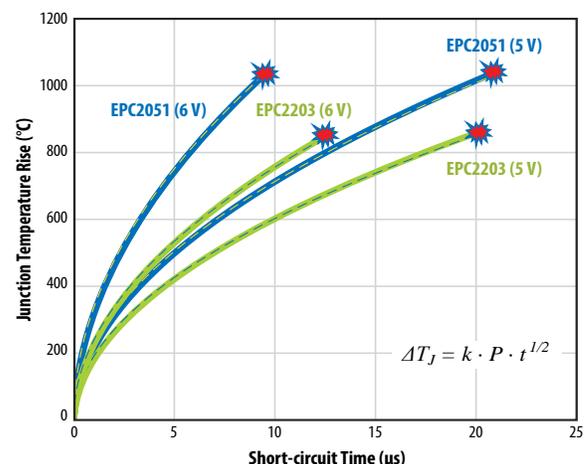


图23: 在5 V和6  $V_{GS}$ 下，EPC2051和EPC2203器件在短路脉冲期间，模拟结温上升与时间的关系。测出的器件故障时间，用红色标记表示。请注意，EPC2203器件大约在850°C的 $\Delta T_j$ 时，发生灾难性故障，而EPC2051在1050°C左右发生故障。如方程式所示，模拟 $\Delta T_j$ 和简单、与时间相关的平方根 (热扩散) 拟合。P表示每单位面积的平均功率，以及 $k = 6.73 \times 10^{-5} K/W s^{1/2}$ 。

### 第5节: 窄脉冲电流可靠性 (激光雷达应用)

面向全自动驾驶汽车的激光雷达电路, 都普遍采用氮化镓场效应晶体管 (eGaN FET), 它的主要优势如下:

- 开关速度更快以实现较窄的脉冲和更高的距离分辨率
- 占板面积更小, 从而可实现高功率密度、低电感和紧凑型解决方案
- 更高的脉冲重复率, 从而实现更高的效率

在典型的DToF激光雷达应用中, 氮化镓器件的窄脉冲、高脉冲电流大约为1至5 纳秒, 驱动激光二极管产生窄光脉冲[19]。峰值电流通常明显比FET的脉冲电流额定值高出50%。典型的脉冲占空较低和脉冲重复频率在10至100 kHz的范围内。当没有发出脉冲时, 氮化镓器件会处于断开状态、处于若干的漏极偏压下。

对于功率器件, 这种应力是异常的, 因此很难依赖传统的直流可靠性测试, 例如高温栅极偏压 (HTGB) 或高温反向偏压 (HTRB) 等测试, 预测到器件寿命。即使是对氮化镓器件进行的特定测试, 如第2节中讨论的硬开关可靠性测试, 也不能准确地模拟激光雷达电路中的应力条件。从器件失效物理学的角度来看, 脉冲期间同时出现的高电流和高电压, 使我们担忧热载流子效应可能导致器件内发生阈值电压 ( $V_{TH}$ ) 或导通电阻 ( $R_{DS(on)}$ ) 偏移。另外, 重复高电流脉冲的累积效应, 增加了电迁移的灵敏性, 从而导致焊点损坏。

为了解决这些问题, EPC公司与各大激光雷达客户携手合作, 采用一种新颖的产品测试方法。这个激光雷达可靠性测试是继EPC通过车规级AEC认证后[20]的部分计划, 根据AEC-Q101标准, 对GaN器件的一系列特定测试, 超越了对MOSFET的传统测试标准。

#### 5.1 高电流脉冲下器件的长期稳定性

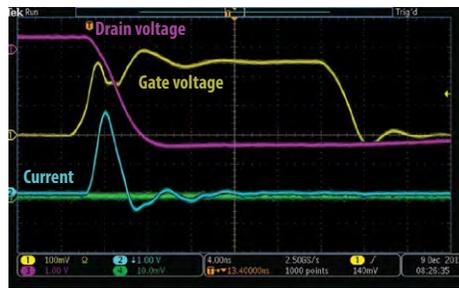
这个测试的概念是在实际激光雷达电路中, 对器件施加应力, 脉冲总数要支持到器件在寿命完结前完成任务。车用激光雷达器件的任务因客户而异。典型的车用器件要求具有15年工作寿命、每天在100 kHz脉冲重复频率 (PRF) 下工作两小时。这相当于大约4万亿个激光雷达脉冲。一些最坏情况 (频繁使用器件) 是器件寿命可能需要10至12万亿个脉冲。采用测试器件直至超过它完成任务的方法直接证明了eGaN器件在激光雷达任务中的寿命。

请注意, 这种直接方法消除了对具可疑成效的加速因子或激活能量的需求。它还消除了标准可靠性测试, 以至激光雷达独特的应力条件下, 对预测寿命估算的需求。

### 5.2 测试方法和结果

为了取得大量的脉冲, 与典型的激光雷达电路相比, 在高很多的脉冲重复频率 (PRF) 下, 对器件连续不断施加应力。该测试电路是基于广受欢迎的EPC9126激光雷达开发板。附录C提供了测试步骤的实验详情。本研究对两个受欢迎的AEC认证器件进行测试: EPC2202 (80 V) 和EPC2212 (100 V)。每个型号测试了四个器件。在施加应力期间, 监测每个器件的两个关键参数: (1) 峰值脉冲电流和 (2) 脉宽。这些参数对于激光雷达系统的距离和分辨率都是至关重要的。

图24显示了开始时的4万2千亿个脉冲的测试结果。这相当于车用器件寿命内的累积脉冲数量。尽管这是对eGaN器件间接地监测到其稳固性, 测试结果表明, 没有损坏机理影响激光雷达电路性能。



AEC-Q101 series of discrete FETs

- 8 samples (>7000h)
- 0 failures and perfect pulse stability

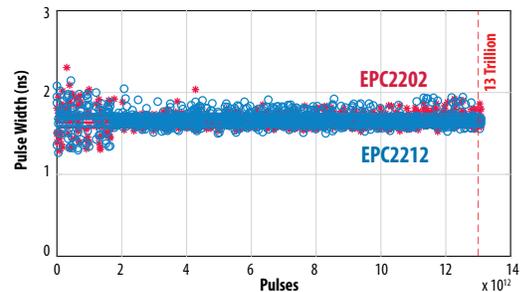
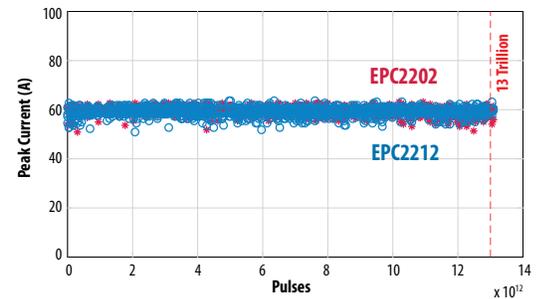


图24: 超过4万2千亿个激光雷达脉冲后的器件的脉冲宽度 (右下) 和脉冲高度 (右上) 的长期稳定性。图中覆盖了4个EPC2202器件 (红色) 和4个EPC2212器件 (蓝色) 的数据。在相当于车用器件寿命的总脉冲下, 器件的主要参数展示出, 它具有卓越的可靠性。左上方展示脉冲的示波图。

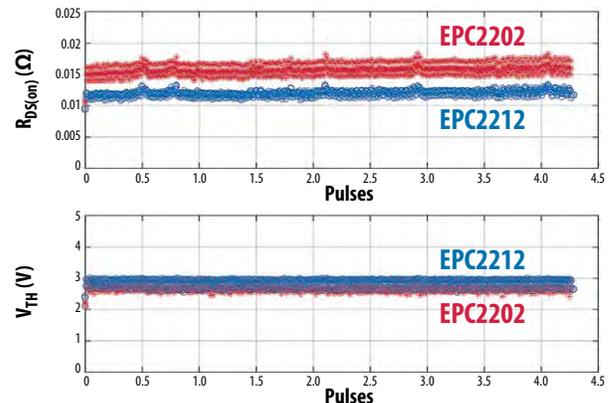


图25: 激光雷达可靠性测试期间  $R_{DS(on)}$  和  $V_{TH}$  的长期稳定性。对每个器件进行测试时, 每六个小时就中断一次施加激光雷达应力。我们从不同栅极电压的测试点取得  $R_{DS(on)}$  值来推断  $V_{TH}$  值。图中覆盖了4个EPC2202器件 (红色) 和4个EPC2212器件 (蓝色) 的数据。在相当于车用器件寿命的总脉冲下, 器件的主要参数展示出, 它具有卓越的可靠性。

## 第6节: 机械应力

产品的最终使用寿命或在给定应用中的适用性,可能受限于所遇到的机械应力。在本节中,对一些最常见的各种机械应力、模切、背侧压力和弯曲力进行了表征,并证明氮化镓器件的芯片级封装,在正常的组装或装贴条件下,是非常稳固的。

在全新的第6.3节,我们将讨论弯曲力是否可以通过调制导致器件的高电率的压电极化,改变氮化镓(eGaN)器件的电气特性。结论是,弯曲力对器件电率的最大理论影响,远低于1%,其弯曲力刚好小于导致焊点连接失效的应力。

### 6.1 芯片剪切测试

芯片剪切测试的目的,是评估用于将eGaN器件安装到PCB的焊点的强度,这取决于平面力,对表面装贴在PCB上的器件施加平面力、从PCB剪切芯片。所有测试均遵循军用测试标准MIL-STD-883E、2019方法[21]。

图26显示所选的4个eGaN FET的测试结果。每种产品测试十个器件。测试的最小芯片为EPC2036/EPC2203,只有4个直径为200  $\mu\text{m}$ 的焊球,芯片面积为0.81  $\text{mm}^2$ 。与预期结果相同,该产品的剪切强度最弱,但是超过了MIL标准所规定的最小剪切力/强度要求,如图26所示。受测的最大芯片是EPC2206,使用焊盘网格阵列(LGA),芯片的面积为13.94  $\text{mm}^2$ 。EPC2206超出最小剪切力/强度要求的十倍以上。我们还测试了另外两个不同尺寸的产品: EPC2212 (100 V、采用LGA封装)和EPC2034C (200 V、采用BGA封装),都大大超过了最小剪切力的要求。

图26的结果表明,采用晶圆级封装的所有EPC产品在最严格的条件、环境剪切应力测试中,都是非常稳固的器件。

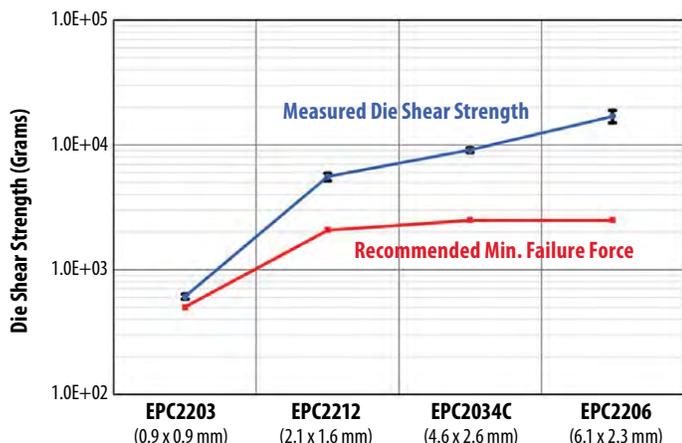


图26: 在测量剪切强度时,对具有不同芯片尺寸及焊料配置的eGaN FET进行反复测试,直至器件失效。黑点表示结果。红星则显示根据MIL-STD-883E、2019方法,推荐的最低芯片剪切强度



图27: 压力测量仪。以每分钟0.6 mm的恒定加载速度,把测试仪的头端放置到器件的背部,直至测量仪感应到预设力度为止。用表面安装方法,把DUT安装在FR4测试试样上,在测试台上把试样固定

### 6.2 背面压力测试

eGaN器件的机械稳定性的另一种测试,是器件对背面压力的耐受度。对于要求芯片背面散热的应用,器件对背面压力的耐受度是重要的考虑因素。确定在组装时的安全拾放力,也是很重要的。

EPC器件进行了高达400 psi的背面压力测试,其中压力是通过施加的力除以芯片面积计算出来的。图27显示所使用的实验室压力测试仪。使用每分钟0.6 mm的加载速度,将压力直接施加到芯片的背部。在压力测试之前和之后,进行参数测试以确定器件会否失效。随后,将器件放置在60  $V_{DS}$ 、85°C、85%的相对湿度下,进行湿度偏压测试(H3TRB)达300小时。H3TRB可有效地确定在压力测试中,器件的机械性损坏(内部开裂)会否引致其它的潜在故障。

EPC2212 (100 V、LGA封装)和EPC2034C (200 V、BGA封装)都通过了测试及400 psi。表3所提供的测试结果表明,eGaN FET有足够的余量来应对通常在PCB装配厂使用的背面应力。尽管这些部件可以承受400 psi的应力,EPC建议最大的背面应力为50 psi或以下。

产品	样片尺寸	芯片面积	背部压力	施加的力度	应力测试后,不通过参数测试的失效器件	300小时H3TRB测试后的失效器件
EPC2212 (LGA)	16	2.1 x 1.6 mm	400 psi	9.3 N (2.1 lbs)	0/16	0/16
EPC2034C (BGA)	16	4.6 x 2.6 mm	400 psi	33.0 N (7.4 lbs)	0/16	0/16

表3: 对氮化镓(eGaN)器件进行剪切测试的结果。对小型和相对较大的eGaN器件的背部施加高压进行测试,器件没有发生机械性故障,并且在温度、湿度和偏压应力测试后,器件也没有失效。

### 6.3 弯曲强度测试

弯曲强度测试旨在确定eGaN FET承受PCB挠曲的能力，挠曲出现在处理、组装或操作PCB时发生。尽管本测试标准是针对表面装贴无源元件 (AEC-Q200) [22]，但很多客户仍然关注eGaN FET能够承受多大的弯曲强度应力，其主要原因有两个：(1) 晶圆级芯片级封装 (WLCSP) 焊点的坚固性和 (2) FET的压电效应，可能会改变器件参数并破坏电路。

为了解决这些问题，EPC按照AEC-Q200-005A测试标准[23]，对4个EPC2206进行弯曲强度测试。图28显示了测试设置的示意图。把器件放置在FR4 PCB (长100 mm x宽40 mm x厚1.6 mm) 的中心附近。将两端牢固夹紧后，在与器件相对的一侧施加应力，从而使得PCB向上弯曲并保持60秒后，测量所有器件的电气参数。

Q200-005A测试标准要求只施加一次应力，PCB的挠度为2 mm。由于EPC采用反复测试至器件失效的方法，因此对器件进行4种挠度测试，分别是2 mm、4 mm、6 mm和8 mm。为了达到4 mm的挠度，需要240 N (25 kg) 的超大应力。置器件于各种PCB挠度、施加应力下并保持60秒后，测量所有器件的参数。

表4显示了4个受测器件的归一化 $R_{DS(on)}$ 与电路板挠度的关系。所有器件均通过了2 mm挠度测试。两个器件在6 mm挠度失效，而其它两个器件成功通过所有挠度测试包括8 mm。测试后的分析显示，故障模式为焊点开裂，从而打开栅极连接。直到器件出现故障， $R_{DS(on)}$ 随电路板挠度没有明显的变化。在其他电气特性诸如 $V_{TH}$ 和 $I_{DSS}$ ，也观察到同样的情况。

为了进一步了解在弯曲强度测试下器件的失效模式和电气情况，我们使用安装在PCB上的EPC2206的机械模型来进行FEA仿真，从而计算出机械挠度、应力和器件内的压电响应。

图29展示对EPC2206器件的各个焊点，施加6 mm挠度的纵向应力。应力是沿着垂直于PCB的轴测量。我们可以看出，焊条的外边缘承受高抗拉强度应力，而内边缘则被压缩。峰值抗拉应力达到大约是 $6 \times 10^8 \text{ N/m}^2$ ，超出了SAC305焊料的抗拉应力的极限 (大约为 $3 \times 10^8 \text{ N/m}^2$ )。这解释了我们所观察到的，两个器件的焊点在6 mm挠度下破裂的原因。

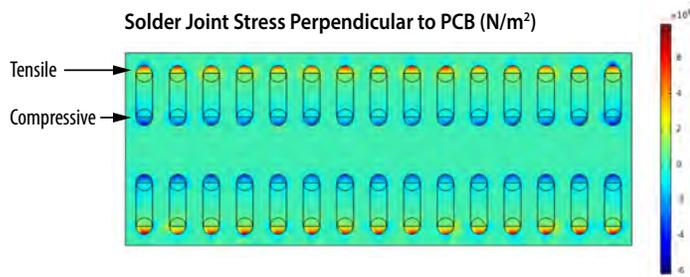


图29: 沿着垂直于PCB (具6 mm挠度) 平面的方向，对EPC2206焊点施加纵向应力的FEM仿真。焊条的外边缘承受高抗拉应力，接近焊点所能承受的抗拉应力极限值。

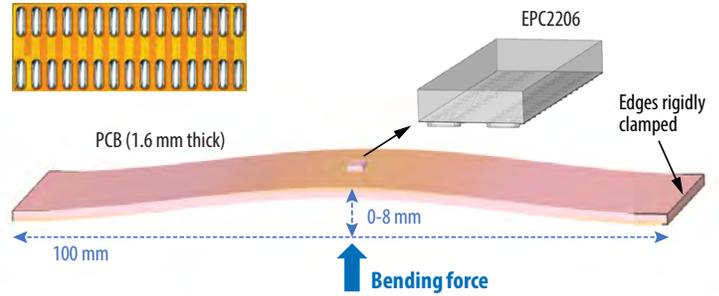


图28: 对EPC2206进行弯曲力 (AEC-Q200-005A) 测试的示意图。施加应力在PCB板的底部。调整应力为各种预设的挠度，从0至8 mm。

	0 mm	2 mm	4 mm	6 mm	8 mm
DUT1	1.00	1.01	1.00	0.98	0.98
DUT2	1.00	1.02	1.01	Failed	-
DUT3	1.00	1.01	1.03	Failed	-
DUT4	1.00	0.99	0.99	1.03	1.04

表4: 在弯曲强度测试期间，4个器件的归一化 $R_{DS(on)}$ 与电路板挠度的关系。4个器件中的两个器件在6 mm挠度下失效，其它两个器件则通过8 mm挠度测试。在任何器件参数中，应力对器件没有明显的影响。

AlGaIn/GaN HEMT的压电极化和自发极化对器件的性能有很大的影响。实际上，AlGaIn/GaN界面的极化片电荷 (大约为 $1.0 \times 10^{13} \text{ e-/cm}^2$ ) 构成eGaN FET的2DEG沟道中的高电子密度。该电荷对 $V_{TH}$ 和 $R_{DS(on)}$ 具有直接 (线性) 影响。因此，对器件施加机械应力，例如在弯曲强度测试下，很多客户担心压电引起器件参数的变化的影响。

为了解决这个问题，使用FEA和以下公式计算出，由PCB弯曲实验所引起的极端应力并导致AlGaIn/GaN异质结的极化片电荷的变化：

$$\Delta P_z = e_{zz}\epsilon_z + e_{zx}(\epsilon_x + \epsilon_y) \tag{公式 5}$$

$$e_{zz} = 0.183 \text{ C/m}^2$$

$$e_{zx} = e_{zy} = -0.0275 \text{ C/m}^2$$

其中 $\epsilon_z$  表示沿 (wurtzite) c轴的应力，而 $\epsilon_x$  和  $\epsilon_y$  表示2DEG平面的应力。有效的压电常数 $e_{zz}$ 和 $e_{zx}$ 是考虑GaN和AlGaIn之间的压电系数差异推导出的，这是根据Bernardini等人的*ab-initio*计算得出的 [24]。 (Units are Coulombs/m<sup>2</sup>).

图30显示了由于施加极大的4 mm挠度而导致EPC2206器件发生极化电荷的分数变化。在这种机械强度应力下，焊点刚好处于发生破裂前的临界点。将极化归一化为 $1.0 \times 10^{13} \text{ e-/cm}^2$ 的内置（零应力）片电荷。压电电荷面积的平均变化小于-0.3%，而在焊条附近的峰值变化约为0.8%。这些压电极化的变化太小，无法在器件参数 $V_{TH}$ 或 $R_{DS(on)}$ 产生可见到的变化。这解释了为什么在任何弯曲应力情况下，这些参数从来没变。尽管压电性对于eGaN FET的物理非常重要，但实际上不可能在FET内产生足够的机械应力，使器件的操作发生重大变化。因此，对于场效应晶体管，由振动或电路板弯曲引起的典型应力，不会产生任何与电路有关的问题。

### Fractional Change in Piezoelectric Sheet Charge

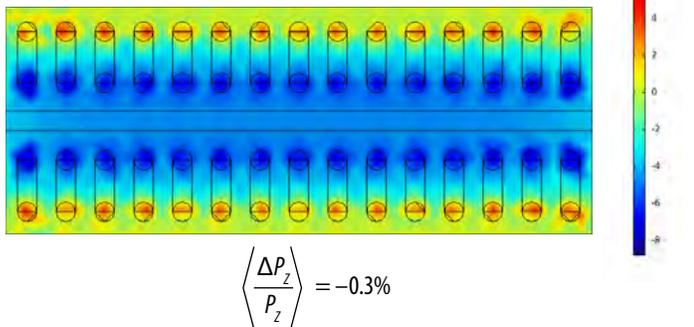


图30: 对EPC2206施加4 mm挠度应力下的压电片电荷的分数变化。压电电荷的面积平均变化小于-0.3%，而在焊条附近的峰值变化约为0.8%。这些压电极化的变化太小，无法在器件参数 $V_{TH}$ 或 $R_{DS(on)}$ 中产生可观察到的变化。

## 第7节: 可焊性

氮化镓场效应晶体管 (eGaN FET) 和集成电路采用晶圆级芯片级 (WLCPS) 封装，其焊盘 (焊球或焊条) 露出，可用表面贴装方法，把器件安装到PCB上。WLCPS封装类似用“预镀锡”引线的标准封装。很多客户查询这些焊锡端子的长期可靠性，特别是在安装之前，芯片已经存放了较长的时间。要注意的是，露出的焊球表面会氧化或被腐蚀，有可能影响在最后组装过程中，焊剂的流动性或浸润能力。

为了评估这种风险，EPC公司对3个分立式eGaN FET和1个集成电路进行了广泛的可焊性测试，其中包括采用球栅阵列和极板栅格阵列封装的器件。根据J-STD-002E测试方法S1 (2017年11月) [25]，对器件进行了测试。基本测试顺序为：

1. 初步目视检查
2. 在高温和高湿度下进行蒸汽预先处理，以加速焊料的老化
3. 风干至环境温度
4. 表面装贴 (回流) 到陶瓷衬底上
5. 从衬底移除芯片和最后目视检查

对于加速老化步骤 (步骤2)，把芯片置于93°C和100%的相对湿度下8小时。这对应J-STD-002E标准中第二最严格的预先处理应力 (“C类”)。随后将芯片放置在环境温度下风干至少15分钟。

对于表面装贴步骤 (步骤4)，测试衬底是还未金属化的陶瓷块 (100 mm x 100 mm x 0.635 mm厚度)，没有轨道或连接盘。按照每种产品的推荐数据表图纸，使用激光加工的模板 (厚度为100 μm) 将SAC305焊膏 (Senju Metal Industry M705-S70G) 涂到衬底上。助焊剂为低活性松香型 (ROLO)。使用拾取和放置工具将芯片安装在衬底上，然后使用多区域回流炉进行回流。回流期间的峰值温度为250°C，在230°C以上停留60秒。回流后，使用合适的有机溶剂，彻底清除助焊剂。图31显示了采用表面装贴的方法，安装EPC2715 eGaN IC的过程。



图31: (左) 将锡膏模版涂到陶瓷衬底上。(右) 回流到衬底上后的EPC2715

在最后的步骤 (步骤5)，由于陶瓷衬底的焊料的粘性低，因此容易从衬底移除芯片。此时，在30倍光学显微镜下，检查芯片上的各个焊锡端子。要通过测试，所有焊料/焊条都必须掺入焊膏，从而留下均匀、光滑的焊锡，且不需去湿或保持不湿，也没有针孔。图32显示可焊性测试前后的EPC2206和EPC2214器件的焊盘。

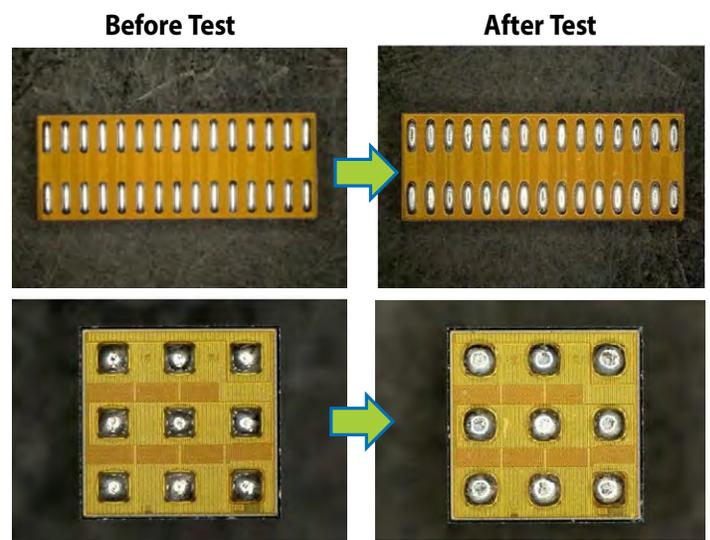


图32: 可焊性测试前后的EPC2206和EPC2214的焊球。请注意，已掺入焊膏，目测表面是光滑且均匀的。

表5提供了3个分立式eGaN FET (EPC2206、EPC2214和EPC2001) 和1个集成电路 (EPC2715) 的可焊性测试结果。所有测试均在获得认可的测试机构 (台湾IST) 独立进行。对于EPC2001, 从非顺序器件批次找出11个器件, 以测试采用晶圆级芯片级封装的eGaN 器件的焊球工艺是否有什么不同。结果是所有器件都通过可焊性测试。根据受测器件的矩阵, 结论是所有采用晶圆级芯片级封装的eGaN 器件均具有卓越的长期可焊性。

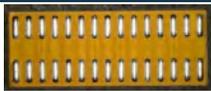
eGaN FET/IC	焊锡占板面积	封装	受测器件数量	不通过测试的器件
EPC2206 (Discrete)		LGA (2 x 15)	10	0
EPC2206 (Discrete)		BGA (3 x 3)	10	0
DUT3		BGA (4 x 6)	10	0
EPC2001 (Discrete)		LGA (1 x 10)	77 (11 die x 7 lots)	0

表5: 测试其可焊性的氮化镓场效应晶体管 and 集成电路矩阵。注意: 所有产品均通过J-STD-002E的S1测试方法。

## 第8节: 热机械应力

根据AEC或JEDEC标准进行测试时, 氮化镓场效应晶体管 (eGaN FET) 具有卓越的热机械可靠性。这是因为固有的“封装”非常简单, 没有引线、不同的材料或模塑料。结论是所有eGaN FET裸片均可在-55°C至150°C的温度范围内工作。

测试元件的标准除了测试其可靠性外, 还有其他行业特定的标准, 例如IPC-9592或OEM环境要求, 对安装在PCB上的元件进行系统或电路板测试。其中, 总有因素引致极大的热机械应力并施加在表面装贴的元件上 (例如eGaN FET), 特别是在元件与电路板之间的焊点。例如, IPC-9592标准中最严格的温度循环测试 (Class II Category 2) , 要求在-40°C至125°C的温度下进行700个循环测试, 所测的30个器件, 没有一个失效。

制造商	器件型号	CTE (ppm/C)			Storage Modulus (DMA) @ 25°C (N/mm <sup>2</sup> )	Viscosity @ 25°C	Poisson's Ratio	体积电阻	导热系数	介电强度
		Tg (TMA)	Below Tg	Above Tg						
HENKELS LOCTITE	ECCOBOND UF 1173	160	26	103	6000	7.5 Pa*s				
NAMICS	U8437-2	137	32	100	8500	40 Pa*s	0.33	>1E15 Ω-cm	0.67 W/mK	
NAMICS	XS8410-406	138	19	70	13000	30 Pa*s				
MASTERBOND	EP3UF	70	25-30	75-120	3400	10-40 Pa*s	0.3	>1E14 Ω-cm	1.4 W/mK	450 V/mil
AI TECHNOLOGY	MC7885-UF	236	20		7500	10 Pa*s		>1E14 Ω-cm	1 W/mK	750 V/mil
AI TECHNOLOGY	MC7885-UFS	175	25		7500	10 Pa*s		>1E14 Ω-cm	2 W/mK	1000 V/mil

表6: 底部填充材料的属性

焊接的可靠性取决于与器件无关的多个因素, 包括PCB布局、设计和材料、组装过程、器件工作时的散热解决方案, 以及应用的性质。因此, 提供精确的模型来预测特定应用中的器件失效时间变得不可行且不切实际。虽然如此, 之前EPC公司根据应力能量密度与疲劳寿命之间的相关性, 发布了一种预测焊点失效时间的模型[9]。

此报告描述在不同条件下, 更多的关于温度循环和间歇工作寿命 (也称为功率温度循环) 测试结果。此外, 本节将提供有关如何使用底部填充材料来提高焊点可靠性的数据和分析。底部填充方法通常用于表面装贴的器件会暴露于最恶劣环境的应用。

需要强调的是, 确保eGaN FET正常工作不需要底部填充。实际上, EPC会在产品认证过程中, 对安装在FR4板上且没有使用底部填充的受测器件, 完成大部分的可靠性测试。测试包括HTRB、HTGB、H3TRB、uHAST、MSL1、IOL、HTOL、ELFR、HTS和常用的TC测试。话虽如此, 底部填充可以用于提高电路板可靠性, 因为它可以减少焊点应力, 该应力是因为芯片和PCB之间的热膨胀系数 (CTE) 不匹配而产生。此外, 在严格的爬电距离和电气间隙要求的情况下, 底部填充的方法可提供污染保护和额外的电气隔离。最后, 底部填充材料还有助于降低节点至电路板的热阻, 因为材料的导热系数高于空气, 尽管其系数是低于典型的热界面材料。请注意, 错误选择底部填充材料会降低焊点的可靠性。因此, 本节将基于仿真和实验结果为工程师提供指导。

## 8.1 如何选择合适的底部填充材料

选择底部填充材料需要考虑材料的关键特性, 以及芯片和焊料的匹配。首先, 底部填充材料的玻璃化转变温度应高于应用中的器件的最高工作温度。此外, 底部填充材料的CTE必须尽可能接近焊料的CTE, 因为两者都需要以相同的膨胀/收缩幅度, 以避免在焊点中产生额外的拉伸/压缩应力。作为参考, 典型的无铅SAC305和Sn63/Pb37的CTE约为23 ppm/°C。请注意, 在高于玻璃化转变温度 (Tg) 的条件下, CTE会急剧增加。除了Tg和CTE外, Young Modulus也很重要。非常坚硬的底部填充材料可以帮助减少焊球的剪切应力, 但是会增加器件角部的应力, 这将在本节的后面部分进一步介绍。低粘度 (以改善芯片下的底部填充物的流动性) 和高导热率也是理想的填充材料属性。表6对本研究中测试的底部填充材料的关键材料属性进行比较。

### 8.2 对温度循环下的底部填充材料的研究

本节描述在两种不同的条件下、使用和未使用前面列出的底部填充材料，测试eGaN FET的温度循环 (TC) 的结果。我们测试了两个温度循环范围：(i) -40°C至125°C；(ii) -55°C至150°C。在所有的条件下，安装元件在DUT卡上，或由2层1.6毫米厚的FR4板组成的试样上。使用SAC305焊膏和水溶性助焊剂，然后在底部填充之前，清洁助焊剂。目前，我们仍在进行一些测试，如果从测试中有任何累计的失效器件，会进一步为大家报告。表7至表10提供了EPC2001C和EPC2053的温度循环数据，图33的Weibull图提供了EPC2206器件的测试结果。

在两个温度范围内，与没有使用底部填充胶相比，使用Namics底部填充胶 (U8437-2\_N和8410-406B) 的寿命更长、更具优势。如果使用Henkels (UF1137\_H)，同样是更具优势。另一方面发现，如果使用Masterbond EP3UF则降低了可靠性。我们认为，这是由于低Tg所致，意味着在我们所有的研究中，底部填充材料都在远远超过其玻璃化转变温度下工作。但是，基于材料属性，怀疑Masterbond EP3UF可能适合保持在70°C以下的各种应用。

产品/DOE	EPC2001C										
应力条件: -40°C to 125°C	测试情况	300 循环	550 循环	850 循环	1000 循环	1250 循环	1550 循环	1750 循环	1950 循环	2150 循环	2450 循环
没有使用底部填充物	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	2/32 失效	5/32 失效	8/32 失效	15/32 失效	20/32 失效	26/32 失效
	继续测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效						
Henkels UF1137_H	继续测试	0/40 失效	0/40 失效	0/40 失效	0/40 失效	0/40 失效					
Masterbond EP3UF_M	继续测试	0/40 失效	0/40 失效	14/40 失效	31/40 失效						
MC7685-UFS	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	1/32 失效	2/32 失效	2/32 失效	3/32 失效	6/32 失效	14/32 失效
MC7885-UF	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	1/32 失效	4/32 失效
Namics 8410-406B	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效
Namics U8437-2_N	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效
	继续测试	0/80 失效	0/80 失效	0/80 失效	0/80 失效	0/80 失效					

表7: EPC2001C的-40°C至125°C温度循环测试结果

产品/DOE	EPC2053										
应力条件: -40°C to 125°C	测试情况	300 循环	550 循环	850 循环	1000 循环	1250 循环	1550 循环	1750 循环	1950 循环	2150 循环	2450 循环
没有使用底部填充物	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	2/32 失效	3/32 失效	3/32 失效	3/32 失效
Henkels UF1137_H	继续测试	0/40 失效	0/40 失效	0/40 失效	0/40 失效	0/40 失效					
Masterbond EP3UF_M	继续测试	1/40 失效	7/40 失效	15/40 失效	25/40 失效	39/40 失效					
MC7685-UFS	完成测试	0/32 失效	0/32 失效	0/32 失效	1/32 失效	17/32 失效	32/32 失效	32/32 失效			
MC7885-UF	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	1/32 失效	1/32 失效	1/32 失效
Namics 8410-406B	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效
Namics U8437-2_N	完成测试	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效	0/32 失效
	继续测试	0/40 失效	0/40 失效	0/40 失效	0/40 失效	0/40 失效					

表8: EPC2053的-40°C至125°C温度循环测试结果

产品/DOE	EPC2001C					
应力条件: -55°C to 150°C	测试情况	300 循环	600 循环	900 循环	1100 循环	1300 循环
没有使用底部填充物	完成测试	0/16 失效	0/16 失效	1/16 失效	1/16 失效	2/16 失效
Henkels UF1137_H	继续测试	0/20 失效	0/20 失效	0/20 失效	1/20 失效	
Masterbond EP3UF_M	继续测试	0/20 失效	0/20 失效	4/20 失效	6/20 失效	
MC7685-UFS	完成测试	0/16 失效	0/16 失效	0/16 失效	1/16 失效	1/16 失效
MC7885-UF	完成测试	0/16 失效	0/16 失效	0/16 失效	0/16 失效	0/16 失效
Namics 8410-406B	完成测试	0/16 失效	0/16 失效	0/16 失效	0/16 失效	0/16 失效
Namics U8437-2_N	完成测试	0/16 失效	0/16 失效	0/16 失效	0/16 失效	0/16 失效
	继续测试	0/20 失效	0/20 失效	0/20 失效	0/20 失效	

表9: EPC2001C的-55°C至150°C温度循环测试结果

产品/DOE	EPC2053					
应力条件: -55°C to 150°C	测试情况	300 循环	600 循环	900 循环	1100 循环	1300 循环
没有使用底部填充物	完成测试	0/16 失效	0/16 失效	0/16 失效	0/16 失效	1/16 失效
Henkels UF1137_H	继续测试	0/20 失效	0/20 失效	0/20 失效	0/20 失效	
Masterbond EP3UF_M	继续测试	5/20 失效	15/20 失效			
MC7685-UFS	完成测试	1/16 失效	9/16 失效	13/16 失效		
MC7885-UF	完成测试	2/16 失效	1/16 失效	7/16 失效		
Namics 8410-406B	完成测试	0/16 失效	0/16 失效	0/16 失效	0/16 失效	0/16 失效
Namics U8437-2_N	完成测试	0/16 失效	0/16 失效	0/16 失效	0/16 失效	0/16 失效

表10: EPC2053的-55°C至150°C温度循环测试结果

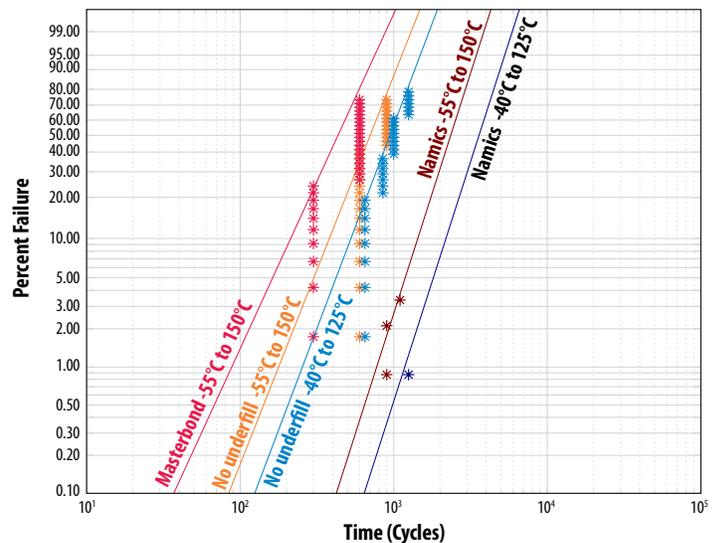


图33: EPC2206温度循环结果的威布尔分布图

### 8.3 间歇工作寿命(IOL)研究

在温度循环下，放置器件和PCB于箱中并在环境温度下循环，使得在组装时期，等温温度发生变化。在间歇工作寿命 (IOL) 测试中，以器件内的功耗实现温度上升。因此，在IOL中，只有器件和靠近芯片的PCB的温度会发生变化。由于eGaN FET和PCB之间具有不匹配的CTE而导致的焊点应力，比温度循环中的应力为低。但是，完成整个循环的时间，却比TC快很多（请注意，IOL也可称为功率和温度循环测试）。

图34显示在两种测试条件下，对32个EPC2206器件进行反复测试、直至器件失效的结果。对于所有受测的器件，每个循环包括30秒的加热时间，接着是30秒的冷却时间。如图34所展示，蓝色标示的信息，表示器件在40°C至100°C之间进行循环。橙色标示的信息则表示器件在40°C至150°C之间循环。这两种条件得出唯一的失效机理 - 焊球疲劳，所以威布尔分布图的斜率几乎相同。但是，器件的平均失效时间因应 $\Delta T$ 和在每个循环达到的 $T_{max}$ 下，却缩短了很多。

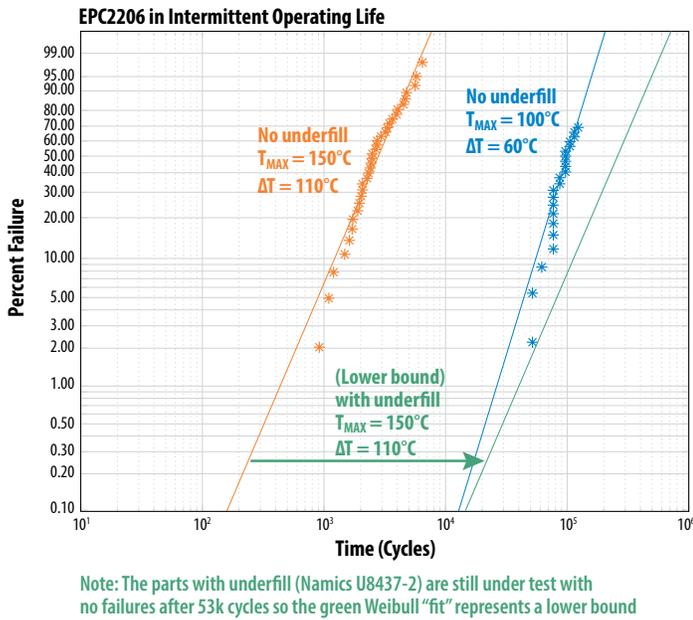


图34: EPC2206的间歇工作寿命结果的威布尔图

此外，使用底部填充Namics U8437-2的第三批元件开始在40°C至150°C之间进行循环。53,000次循环后，没有任何器件失效。图34的绿线假设在53,001次循环后有一个器件失效，可视为采用底部填充的器件性能的下限。非常清楚的是，正如TC研究中发现，在循环温度应力下，使用Namics底部填充物会显著延长器件寿命（大于100x）。

### 8.4 有限元分析

为了更了解使用底部填充物对热机械可靠性的影响的关键因素，在温度循环应力下进行EPC2206的有限元仿真。图35显示这个分析的仿真设置。芯片放置在1.6 mm FR4 PCB上，温度变化为neutral (无应力下) 以上的 $\Delta T = + 100^\circ\text{C}$ 。采用两个主要的底部填充参数: Young's modulus和CTE。如图所示，沿着所示的切割线分析应力，从而可以看到焊条、芯片和底部填充材料的应力。

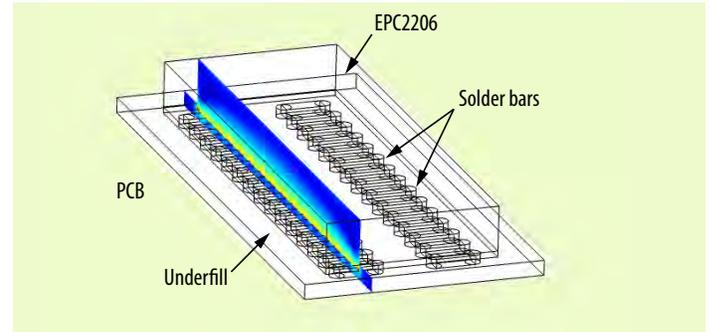


图35: 在温度循环应力下，对EPC2206内的应力进行有限元分析的仿真设置。采用底部填充物的芯片位于1.6 mm的FR4 PCB上。沿所示的切割线分析应力。

图36显示沿切割线最边缘的焊条的Von Mises [26] (或峰值剪切应力)。为了清楚起见，仅显示焊条的应力。此外，机械变形被放大了20倍，以展示焊点的剪切位移。通过改用不同的底部填充物Young's modulus(E)或CTE，仿真4种填充条件。

我们可以看到，在没有底部填充的情况下，焊条具有最大的剪切应力和变形。添加底部填充物显著减轻来自焊点的应力，E越高，焊点的应力会越小。对于与焊点不大匹配的CTE底部填充，应力也会集中在焊点。

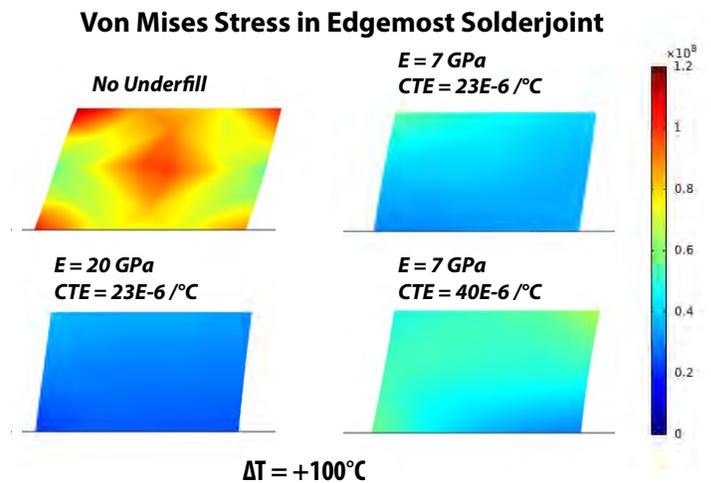


图36: 在 $\Delta T = + 100^\circ\text{C}$ 的温度循环变化下，最边缘焊条的Von Mises (峰值剪切应力)。通过改用不同的底部填充物Young's modulus(E)和CTE，仿真4种填充条件。请注意，在所有情况下，机械变形放大了20倍。

图37显示4种相同的条件，但是这次在芯片和底部填充施加Von Mises应力。可以看出，使用Young's modulus时，焊点的应力低，但是芯片内和靠近芯片边缘的底部填充则具有高应力。这些高应力可以导致器件的内部发生破裂和器件最终失效。

FEA分析表明，在大约是6至13 GPa的范围内，有一个最佳的Young's modulus，提供一个在保护焊点和芯片边缘的良好折衷。对于采用CTE，分析表明，应避免使用大量CTE（高于32）。

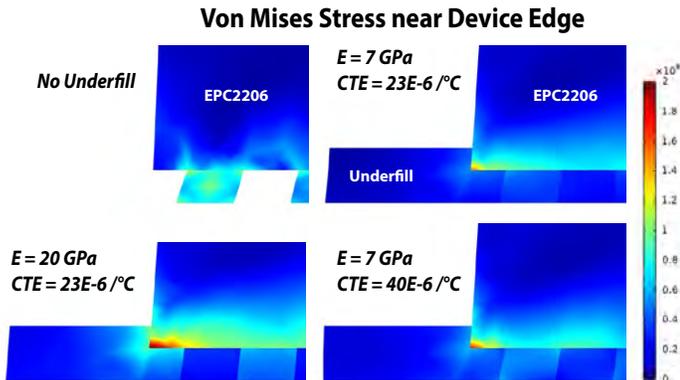


图37: 在 $\Delta T = +100^\circ\text{C}$ 的温度循环变化下，最边缘焊条的Von Mises (峰值剪切应力)。通过改用不同的底部填充物Young's modulus( $E$ )和CTE，仿真4种填充条件。请注意，每张图片中的机械变形均以相同比例放大。

## 8.5底部填充的选择指南

下面列出与eGaN FET一起使用的可选底部填充物：

- CTE底部填充物应该在16至32 ppm/ $^\circ\text{C}$ 的范围内，集中在焊点的CTE为24 ppm/ $^\circ\text{C}$ 。最好是在此范围内选择较低值，因为这样与芯片和PCB更匹配。
- 玻璃转化温度 ( $T_g$ ) 应该高于最高工作温度。当在高于 $T_g$ 的温度下工作时，器件的底部填充物将失去其坚硬度而停止保护焊点。
- Young's (或Storage) modulus在6至13 GPa范围之内。如果modulus太低，底部填充材料会不能缓和焊点的应力。如果过高，高应力将开始集中在芯片的边缘。

这项研究的实验结果表明，与eGaN FET一起使用时，Henkels UF1137\_H和Namics 8410-406B和U8437-2\_N底部填充材料可大大提高器件的热机械可靠性。

## 第9节: 关于现场可靠性的更新报告

所有可靠性测试和反复测试项目均旨在继续改善基于硅基氮化镓技术的产品系列。这些产品非常稳固，具备丰富的实际现场操作经验。从2017年1月到2020年12月的四年内，器件操作了2260亿小时后，只有3个器件失效，其中大部分器件用于车载应用或电信基站。这3个器件的失效原因是制造缺陷（外部缺陷）且已经解决。该结果是硅功率器件无法比拟的。

## 第10节: 第十二阶段可靠性报告的结论

氮化镓 (eGaN) 器件已经投入量产超过11年，并且在实验室测试和客户的应用中都被证实具有很高的可靠性，例如全自动驾驶汽车的激光雷达、4G基站、汽车前灯和卫星等应用。EPC公司将继续积极对器件进行反复测试，从而在所有的应力条件下，找出器件固有的失效机理和特性。可靠性报告的信息旨在为功率转换应用构建出更稳固、性能更高且成本更低的氮化镓产品。

## 附录A: 针对栅极寿命的物理模型

本附录描述理论和相应的寿命模型，以解释氮化镓场效应晶体管 (eGaN FET) 在高栅极偏置下的失效机理。结果是一个实用的方程式，用于估算器件在各种条件下的可靠性。该方程式从eGaN栅极的独特物理特性推导得出，而不是借用硅MOSFET器件的通用可靠性模型。

为确立该理论的基础，EPC公司进行了多个基础实验，旨在找出栅极故障的根本原因。首先，对EPC2212器件进行了更全面的栅极加速测试，采用更大量受测器件和更长的应力测试时间。对于最低的电压，应力测试时间合共超过2000小时，从而产生更多的失效器件，并收窄置信区间的上下限。此外，使用专用的测试结构和交变电场方向，以彻底表征 $\text{Si}_3\text{N}_4$ 介电层的击穿强度。最后，对器件进行电致发光 (EL) 研究，从而了解导致灾难性的栅极破裂的时间动态。

有效的eGaN FET栅极失效的模型必须能够描述以下的关键情况：

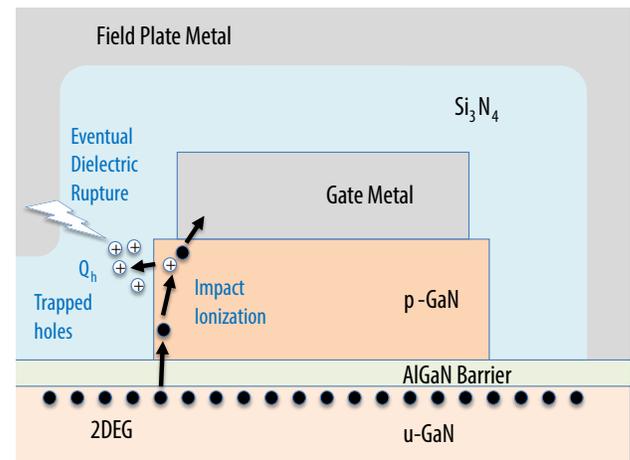
- 在跨越p-GaN栅极侧壁的 $\text{Si}_3\text{N}_4$ 中，观察到介电故障。故障可能发生在源极或漏极的侧壁。
- 在与p-GaN栅极隔离的测试结构上测量时，相同的 $\text{Si}_3\text{N}_4$ 膜没有失效，直到电场强度比在10 V栅极应力下的电场强度高很多时 (6倍) 才会失效。无论电介质的电场极性如何，都是如此。
- 栅极失效率显示负温度系数。这是令人惊讶的，因为栅极泄漏和TDDDB通常都显示正温度系数。
- 在栅极偏置下的MTTF显示高加速。此外，对于栅极偏压，边际加速不是常数，这是与简单的指数加速度定律不一致。在较低的 $V_{GS}$ 时，加速最陡，而在高偏置时，则趋于平稳。
- 在直至栅极失效的时间间隔内，沿栅极的测量点，看到高能 (>2 eV) 光子发射。随后的失效分析显示出在完全相同位置的电介质发生破裂。

整体观察所得的结果是，EPC公司的理论是在高 $V_{GS}$ 时，多步工艺是导致栅极失效的原因。图A1描绘了这个过程。第一步，将电子从2DEG注入p-GaN的栅极层。它们通过隧穿或热电子发射方式，注入AlGaN异质势垒之上 [A1]。一旦进入p-GaN层，电子就会从电场中迅速获得能量，当中一些电子会获得足够的能量以引起碰撞电离。这会

第二步是在电场的影响下，空穴从栅极金属移开。在栅极侧壁附近，部分空穴会散射到 $\text{Si}_3\text{N}_4$ 电介质中，并深陷其中。 $\text{Si}_3\text{N}_4/\text{GaN}$ 界面采用Type II 交错式带宽对齐[A2-A3]， $\text{Si}_3\text{N}_4$ 中的价带最大值，会高于GaN的价带最大值。这意味着在GaN界面附近产生的空穴，没有 (或低) 势垒阻碍电子发射到电介质中。

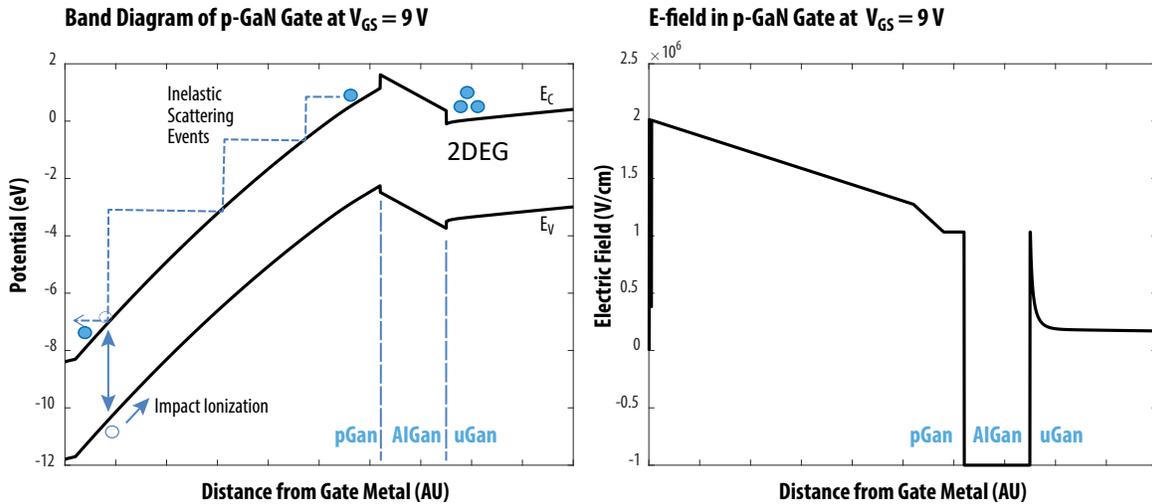
最后一步，空穴被困在电介质中，导致正电荷密度 $Q_h$ 增大。该电荷继而导致金属场板和栅极侧壁附近的栅极金属之间的电介质中的电场增加。一旦电荷密度达到临界密度 ( $Q_c$ )，电介质就会破裂，从而导致侧壁附近发生灾难性损坏，这是栅极失效分析中所提到的[A4]

这里提出的失效模式，是介电击穿的charge-to-failure类型的模型。但是，电荷是由相邻p-GaN层中的碰撞电离积累而成的，而不是由通过电介质本身的泄漏积累而成。因此，多步工艺是由GaN内的碰撞电离的限速步骤所介导的。因此，可以使用在以下各节描述的GaN碰撞电离方程式，来对栅极寿命进行建模。



图A1: eGaN FET的栅极失效机理示意图。穿过AlGaN前势垒的电子电流进入p-GaN栅区域，在高电场它们朝着栅金属加速。一小部分获得足够的能量，以引起碰撞电离，特别是在栅极金属附近。产生的空穴大部分被扫走，但有些被捕获并聚集在 $\text{Si}_3\text{N}_4$ 介电层中。一旦累积了足够的被捕获的空穴密度 $Q_h$ ，电场就会集中在电介质中，最终导致灾难性的破裂。

图A2 (左) 显示在高正向偏置 (9 V) 下, eGaN的栅极的能带图。在图中最左边的是栅极金属, 而右边是AlGaN势垒。请注意, 在栅极金属附近的最高电场区域, 描绘了由碰撞电离产生的电子-空穴对。图A2 (右) 绘制了在相同条件下, 栅极内的相应电场。电场是不均的, 在栅极金属附近的电场最大。对于9 V的栅极偏置电压, 峰值电场超过2 MV/cm。该电场的强度足以实现氮化镓器件内[A5, A6]的稳定碰撞电离(但没有雪崩击穿), 尤其是在电场可能会稍微集中的区域内, 例如接近螺纹位错、应力集中或表面形态小的波谷。

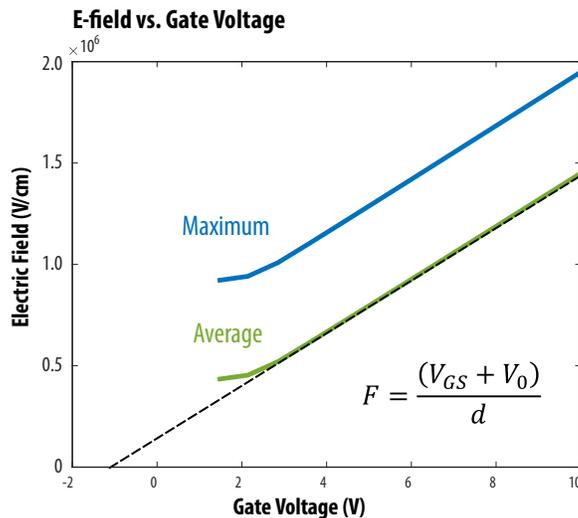


图A2: 高正向偏压 (9 V) 下eGaN的栅极的能带图 (左)。最左端是栅极金属, 右侧可以看到AlGaN的前势垒。请注意在栅极金属附近的高电场区域所产生的电子-空穴对。(右) 在相同条件下栅极的电场。请注意电场不均, 峰值大于2 MV/cm。

### A.1: 电场取决于栅极电压

图A3显示p-GaN栅极内的仿真电场是正向栅极偏置电压的函数。这里显示了最大 (靠近栅极金属) 和平均电场。使用非平衡1-D Fermi-Poisson解算器[A7]计算电场。在低偏压下, 电场由内置的压电电荷控制。在较高偏置下, 电场随 $V_{GS}$ 线性增长, 比例常数为栅极厚度 $d$ 。注意,  $d$ 包括p-GaN厚度和AlGaN厚度。图A3中的公式给出了电场 $F$ 与 $V_{GS}$ 的关系的简单模型, 我们稍后将使用它。

在后续的章节, 使用的是平均电场而不是最大电场。即使碰撞电离被电场强烈加速, 碰撞电离的物理特性要求电子具有一定的平均自由程 (或死区), 让电子获得足够的动能以产生电子-空穴对。该平均自由程与栅极的厚度相关。因此, 栅极的电场 (或平均电场) 是计算碰撞电离的更合适的变量。



图A3: p-GaN栅极内的电场是正向栅极偏置的函数。这里显示最大 (靠近栅极金属) 和平均电场。虚线描述场 $F$ 与 $V_{GS}$ 的关系的简单偏移线性模型。参数 $V_0$ 是内置电压,  $d$ 是有效栅极厚度。

## A.2: 氮化镓器件的碰撞电离模型

碰撞电离产生电子-空穴对的速率, 是通过以下公式[A14]进行建模:

$$G = \alpha_n \frac{|J_n|}{q} + \alpha_p \frac{|J_p|}{q} \quad \text{公式A1}$$

其中 $G$  1/s是电子-空穴对的生成速率 (#/cm<sup>3</sup>),  $J_n$ 和 $J_p$ 是电子和空穴电流 (A/cm<sup>2</sup>), 而 $\alpha_n$ 和 $\alpha_p$ 是电子和空穴碰撞电离系数 (#/cm)。电离系数给出在电子/空穴传播的距离单位 (1 cm) 生成的电子空穴对的数量。这些系数取决于电场和温度。

几位作者已经使用第一原理全频带Monte Carlo仿真, 或通过雪崩光电二极管[A8]的实验测量, 研究出氮化镓的电离系数取决于电场。所有研究均采用Chynoweth形式[A10]来表示在其他半导体中广泛使用的电子电离系数:

$$\alpha_n = a_n e^{-(b_n/F)^m} \quad \text{公式A2}$$

其中 $F$ 是电场,  $a_n$ 、 $b_n$ 和 $m$ 是参数。电场, 特别是在eGa<sub>n</sub>栅极内的中等场强范围内, 可大大加速该公式, 从而非常适合仿真和测量。表A1从多个参考比较了Chynoweth的Ga<sub>n</sub>参数值。

Ref	$a_n$ (1/cm)	$b_n$ (V/cm)	$m$
Ji et al.[A8]	2.10E+09	3.70E+07	1
Ozbek [A9]	9.20E+05	1.70E+07	1
Cao et al. [A5]	4.48E+08	3.40E+07	1
Ooi et al. [A11]	7.32E+07	7.16E+06	1.9

表A1: Chynoweth的Ga<sub>n</sub>碰撞电离参数的比较。

注: 整合了多个作者的数据, 采用ab-initio仿真或直接测量值。

当与我们的寿命数据匹配时, 所有参数值都得出相似的结果。最后选择了Ooi[A10], 有两个原因: (1) 与几个独立出版的数据[A11、A12]一致, 以及(2) 我们将阐释, 它引用的参数, 与我们的实验数据差不多完全匹配。

## A.3: 取决于温度

关于氮化镓器件中的雪崩击穿取决于温度的论点, 很多人质疑, 有些报告正温度系数, 也有些报告负温度系数[A14]。最近, 在理论(全频Monte Carlo仿真)和实验数据上都达成了共识, 即随着温度升高, 电子和空穴的碰撞电离率均下降。这意味着在低温下更容易发生电离(和雪崩击穿)。其主要原因是, 声子散射在载流子的平均自由程上的作用。在高温下, 增加散射会降低平均自由程, 从而限制了散射事件之间从电场中获得的能量。随着较少的高能载流子, 电离碰撞(即碰撞电离)的速率降低。请注意, 我们的栅极可靠性数据表明, 高温下MTTF增加, 有异于失效物理学, 并且表示碰撞电离起着非常重要的作用。

Ozbek [A9]使用由电子束感应的电流 (EBIC) 的方法, 研究了300 K至400 K温度范围内, Ga<sub>n</sub>器件的碰撞电离系数, 取决于温度。他发现数组是单调(和否定), 而公式A2中的Chynoweth系数 $b_n$ 和 $m$ 不会随温度而变化, 但系数 $a_n$ 却会随温度而变化。他将测得的数据拟合为简单的线性温度关系, 如公式A3所示。

$$a_n(T) = a_{n,0}(1 - c\Delta T) \quad \text{公式A3}$$

$$c = 6.5 \times 10^{-3} \text{ K}^{-1}$$

其中, 温度上升 $\Delta T$  (以开尔文为单位) 高于300 K。在以下模型包含了这种随温度变化的特性。

## A.4: 最终寿命公式

我们现在已经取得所有的数学成分, 可以推导出适用于eGa<sub>n</sub>栅极的寿命公式。第一步, 可以将产生电子空穴对的速率公式A1简化为:

$$G \approx \alpha_n \frac{|J_n|}{q} \quad J_n \gg J_p \quad \text{公式A4}$$

其中, 我们忽略了空穴引发的电离的影响。这是对的, 因为与在正向偏压下穿过AlGa<sub>n</sub>势垒隧穿电子不同, 没有空穴注入栅极区域。eGa<sub>n</sub>栅极中的空穴没有持续来源或注入接触。此外, 尽管通过电子引发的碰撞电离以低速率产生空穴, 但是空穴的相应电流(和倍增)比电子电流低几个数量级。

大部分产生的空穴被扫向AlGa<sub>n</sub>势垒, 但在栅侧壁附近的Si<sub>3</sub>N<sub>4</sub>介电层中捕获了一些空穴。若干时间后, 正电荷(空穴)在电介质中累积, 靠近场板边缘的电场也随之而增长(见图A1)。一旦累积了一定的临界电荷密度(表示为 $Q_c$ , 单位为C/cm<sup>3</sup>), 电介质中的电场将达到击穿强度, 并且Si<sub>3</sub>N<sub>4</sub>将从场板到p-Ga<sub>n</sub>栅极(或栅极金属)破裂。

如果假定空穴的产生速率(来自电子引发的碰撞电离)不会随电荷在电介质中累积而随时间变化, 则平均电介质失效时间将会是:

$$MTTF \propto \frac{Q_c}{G} \quad \text{公式A5}$$

通过将公式A5与A2、A3和A4整合在一起, 可以得出MTTF作为温度和栅极内的电场的函数。

$$MTTF = \frac{Q_c}{G} = \frac{qQ_c}{\alpha_n J_n} = \frac{qQ_c}{J_n a_{n,0}(1-c\Delta T)} \exp \left[ \left( \frac{b_n}{F} \right)^m \right] \quad \text{公式A6}$$

注意, 隐含的假设是, 随着捕获的空穴电荷随时间而积累, 注入速率 $J_n$ 和垂直电场 $F$ 不会发生明显的变化。

添加取决于栅极电压的电场 (图A3), 并尽可能将参数集中在一起, 得出最终有5个参数的栅极寿命模型:

$$MTTF = \frac{Q_c}{G} = \frac{qQ_c}{\alpha_n J_n} = \frac{A}{(1-c\Delta T)} \exp \left[ \left( \frac{B}{V+V_0} \right)^m \right] \quad \text{公式A7}$$

参数如下:

$$m = 1.9$$

$$V_0 = 1.0 \text{ V}$$

$$B = 57.0 \text{ V}$$

$$A = 1.7 \times 10^{-6} \text{ s}$$

$$c = 6.5 \times 10^{-3} \text{ K}^{-1}$$

在得出公式A7的最后一步中, 忽略栅极电压和温度对注入电流 $J_n$ 的影响, 把它作为常数。虽然栅漏确实随 $V_{GS}$ 和 $\Delta T$ 单调增加, 与碰撞电离引起的高电压加速 (如Chynoweth的公式描述) 相比, 测量结果表明, 栅漏取决于 $V_{GS}$ 和 $\Delta T$ 的相关性较弱。尽管可以将 $J_n$ 与电压的相关性加入模型, 但会变得更为复杂, 且只会对MTTF与 $V_{GS}$ 的相关性中本来高加速的速度, 提速少许。

针对图2中的EPC2212所测的加速数据, 绘制器件的寿命公式 (公式A7)。请注意, 模型的不均匀加速电压应力与数据吻合。观察对数线性空间, 该加速电压应力显示为弯曲线而不是呈线性。为了实现拟合, 我们固定公式A7中的所有参数, 除了A和B的数值。对B的最佳拟合 (当除以栅极厚度d、转换为电场时) 的值为 $b_n = 7.6 \times 10^6 \text{ V/cm}$ , 与Ooi的值 $7.2 \times 10^6 \text{ V/cm}$  [A11]吻合。图5显示寿命公式在-75°C、25°C和125°C时与温度的关系, 其相关性 (包含在参数c中) 直接从Ozbek取得, 而没有与数据拟合。请注意, 在较高的温度下, MTTF略高, 如图2的测量结果所示。

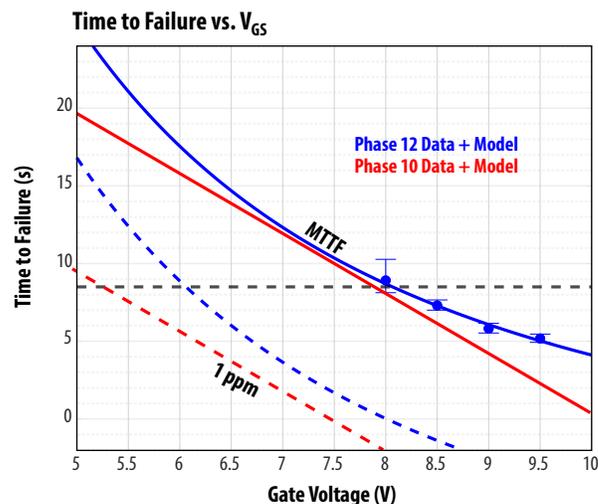
### A.5: 器件栅极寿命的物理模型的结论

eGaN FET中的栅极寿命的碰撞电离模型 (公式A7) 成功地描述了许多观察到的因素:

- MTTF的正温度系数 (有异于半导体的物理失效机理)
- 施加栅极偏置的极高加速度, 并且在减小栅极偏置时, 加速度比指数陡峭
- 在标称场强远低于击穿下 (由于空穴注入和从相邻p-GaN区域俘获的结果), 高质量 $\text{Si}_3\text{N}_4$ 膜发生介电断裂。

得出这个寿命公式不是借用为MOSFET开发的标准可靠性模型, 而是从根本的失效物理, 构建出特别适用于氮化镓场效应晶体管 (eGaN FET) 的第一个栅极寿命模型。

图A4显示以下的比较: 红色实线展示我们原来的栅极加速度数据与简单的指数加速度拟合。蓝色实线展示最近的加速度数据与碰撞电离寿命模型拟合。请注意, 最近的数据显示, 由于在制造过程中不断改善和控制工艺, 在每个电压下, 测量所得的寿命都有所改善。碰撞电离模型 (公式A7) 预计器件会在数据表范围内且较低 $V_{GS}$ 时, 在更长的时间才失效。特别是在6 V下 (数据表中的最大值), 预期器件的1 ppm失效时间超过10年。



图A4: 红色实线展示我们原来的栅极加速度数据与简单的指数加速度拟合。蓝色实线展示最近的加速度数据与碰撞电离寿命模型拟合。对应各种情况, 虚线展示预期器件的1 ppm失效时间。

客户可以选择使用任何一种寿命模型进行可靠性预测: 碰撞电离模型或更为保守的指数公式。对于在数据表范围内工作的器件, 这两种方法都能够提供卓越的长期失效率预测。

尽管由于待器件失效的所需时间非常长而很难在低 $V_{GS}$ 下进一步验证公式A7, 但EPC公司目前正在进行更多实验, 以增加客户对使用新模型的信心。这些实验包括在甚至更高的 $V_{GS}$ 和更低的温度下, 对受测器件进行测量。

## 附录B: 动态 $R_{DS(on)}$ 的物理模型

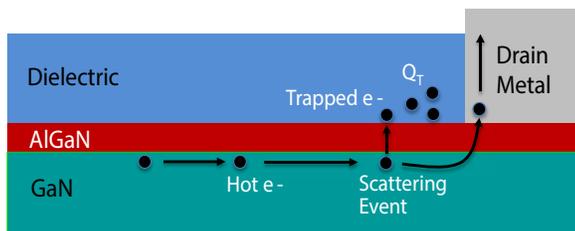
在本附录中, 我们开发了基于物理学的模型来解释eGaN FET在硬开关工作时的动态 $R_{DS(on)}$ 特性。如2.4节所述, 模型的主要特征是:

- $R_{DS(on)}$  随着时间增长 ( $\log(t)$ )
- $R_{DS(on)}$  随时间的斜率具有负温度系数 (即是在较高温度下的斜率较低)
- 开关频率不影响斜率, 但会引起小垂直偏移
- 开关电流不会影响斜率, 但会导致小垂直偏移
- 电感式和电阻式硬开关之间的差异可忽略不计

该模型基于的假设, 是热电子通过表面电势注入到表面电介质的导带中。一旦进入, 电子便迅速深陷中间能隙状态, 假定它们被永久性俘获 (没有去俘获)。在开关过程中, 会产生热电子, 其中高注入电流和高电场的瞬态会导致大量高能载流子。

图B1显示最接近漏极触点的eGaN FET的横截面。在硬开关时, 电子冲向漏极, 并被那里的电场高度加速。在适当的条件下, 一些获得足够动能的电子, 会散射并进入上方的电介质的导带中, 这需要大于2 eV的动能。一旦进入电介质, 它们就会深陷中间能隙状态, 并永久被捕获。在器件开启时, 被捕获的电荷会减少正常的通道电子电荷, 从而增加 $R_{DS(on)}$ 。

下面将讨论到, 从电荷捕获的简单动态图推导出的模型, 可以解释上述所有观察所得的特性。



图B1: 显示热电子散射到漏极触点附近的表面电介质中。为了进入该电介质, 电子必须具有足够的能量以克服势垒。一旦进入该电介质, 它们就会深陷电子陷阱状态, 并被永久性地捕获。

### B.1: 关键假设

- 热电子能量分布在高能尾部呈麦克斯韦指数分布。
- 热电子通过两步过程, 在漏极触点附近的表面电介质中被捕获:
  - 在表面势垒上散射和弹道传输到电介质的导带中
  - 随后深陷电介质中的电子能隙状态
- 要进入电介质, 热电子需要足够的能量来克服表面势垒 (导带偏移+内置电场)。穿隧被忽略。
- 仅考虑漏极附近的俘获电子 (尽管该理论可用于漂移区内的其他位置)。
  - 栅极附近也会俘获电子, 导致 $V_{TH}$ 偏移并增加 $R_{DS(on)}$ 。但是, 对于氮化镓eGaN技术, 栅极侧的俘获实际上不重要。
- 一旦电子进入电介质, 会在表面附近被俘获, 从而增加表面俘获的电荷密度 (以 $Q_S$ 表示)
  - $Q_S$ 被建模为表面电荷密度, 而忽略了其沿z轴的分布
- 一旦电子被俘获, 就永远不会离开 (不会去俘获或及时恢复)。
  - 这是一个保守的假设, 引致最坏情况下的动态 $R_{DS(on)}$ 增加。

### B.2: 热电子能量分布

AlGaN/GaN HEMT中的热电子效应已通过宽泛的实验研究和第一原理理论计算[B1-B5]。热电子发射具有其能量分布的光谱特征的光 (电致发光)。通过测量光谱, Brazzini等作者[B6]能够通过实验测量HEMT在不同偏置状态下, 热载流子的能量分布。这项研究发现, 高能态尾部中的热载流子分布与特征电子温度 $T_e$  (2000 K) 远高于晶格温度的指数 (麦克斯韦-玻耳兹曼分布) 非常吻合。但是, 这些作者没有提供直接的方法来模拟电子温度与电场或晶格温度的关系。

开发目的不需要热载体温度的分析。足以知道在高能量下, 载流子的分数随能量呈指数式下降。Meneghini等作者[B7], 基于Tam等作者的幸运电子模型 [B8], 提出了在能量范围 $dE$ , 高能载流子 $f(E)$ 随电场而变化, 如下:

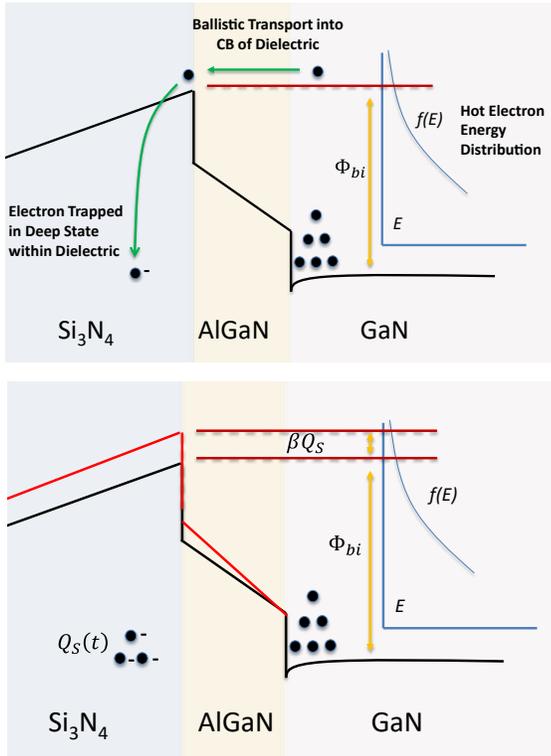
$$f(E)dE \propto E e^{-E/qF\lambda} dE \quad \text{公式B1}$$

其中 $E$ 是电子能量 (高于导带的最小值)、 $F$ 是电场、 $\lambda$ 是散射事件之间的电子平均自由程。指数分母中的term表示电子通过平均自由程, 电子从电场中获得的能量。我们在以下分析中, 采用这种形式。

### B.3: 计算表面陷阱俘获速率的公式

图B2的顶图是能带示意图，显示漏极触点附近的能带垂直对齐方式。表面势垒用于电子进入Si<sub>3</sub>N<sub>4</sub>表面电介质的导带。绝大多数通道电子的动能不足以克服势垒。但是一小部分热电子获得足够的能量、通过三步过程被捕获在电介质中：(1) 从通道中的电场获得足够动能，以克服表面势垒；(2) 散射并弹道穿越AlGaN前势垒，从而进入Si<sub>3</sub>N<sub>4</sub>导带；(3) 在绝缘体深陷中间带隙陷阱能态。

图B2的底部显示了相同的情况，但是表面静电势垒（由红色虚线表示）已被表面陷阱电荷Q<sub>s</sub>增强。势垒中这种增加，使电子不可能以指数射散进Si<sub>3</sub>N<sub>4</sub>。我们即将讨论，这种动态变化导致快速的自猝灭电荷捕获速率，从而导致R<sub>DS(on)</sub>随时间的（缓慢）对数增长。



图B2：(顶图) 表面势垒上的发射。能带示意图显示漏极触点附近的能带垂直对齐方式。表面势垒用于电子进入Si<sub>3</sub>N<sub>4</sub>表面电介质的导带。绝大多数通道电子的动能不足以克服势垒。但是一小部分热电子获得足够的能量、通过本文所述的三步过程，进入绝缘体。(底图) 表面静电势垒现在已通过Q<sub>s</sub>增强，如红色虚线所示。

俘获速率与具有足够能量穿过表面势垒的热电子的数量成正比。该数字可以从势垒高度之上的所有能量的热载流子分布计算出来。势垒高度由两个部分组成：(1) 恒定的内置势垒Φ<sub>bi</sub>，以及(2) 被捕获的表面电荷的静电引致的动态变化。我们用β × Q<sub>s</sub>表示该动态变化部分，其中β仅仅是几何（静电）因子，而Q<sub>s</sub>与势垒高度变化相关。

加入这个积分，我们发现：

$$\frac{dQ_s}{dt} = A \int_{\Phi_{bi} + \beta Q_s}^{\infty} f(E) dE = A \int_{\Phi_{bi} + \beta Q_s}^{\infty} E e^{-E/qF\lambda} dE \quad \text{公式 B2}$$

$$\approx A \Phi_{bi} e^{-(\Phi_{bi} + \beta Q_s)/qF\lambda} \equiv B e^{-\beta Q_s/qF\lambda}$$

这种方法得出基本的表面电荷率的微分公式：

$$\frac{dQ_s}{dt} = B \exp\left(-\frac{\beta Q_s}{qF\lambda}\right) \quad \text{公式 B3}$$

其中我们已经将温度和电场的相关性加入参数B中。还请注意，预因子B将随着电流和开关频率呈线性增加。

该微分公式的结果为：

$$Q_s(t) = \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right) \quad \text{公式 B4}$$

我们在这里取得一个基本结果，被俘获的表面电荷随log(t)增长。这将回荡到后续的发展过程，并成为R<sub>DS(on)</sub>中观察到的log(t)增长特征的基础。

### B.4: 对R<sub>DS(on)</sub>的影响

我们到此知道如何表达漏极附近的表面电介质中所捕获的电荷Q<sub>s</sub>(t)与时间的关系。当去除漏极偏置且器件导通时，该表面电荷会导致器件的沟道电阻增加。首先，表面电荷将导致2DEG沟道电荷密度相应降低。如果Q<sub>p</sub>代表原始器件的正常（压电感应）电子密度，我们可以通过以下公式计算出器件的总电阻：

$$R(t) = R_0 + \frac{C}{Q_p - Q_s} = R_0 + \frac{C}{Q_p - \frac{qF\lambda}{\beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right)} \quad \text{公式 B5}$$

在这个公式中，R<sub>0</sub>代表远离漏极区的器件电阻，包括沟道电阻和漂移电阻。第二部分表示来自最靠近漏极位置的电阻，其中通过俘获的表面电荷Q<sub>s</sub>减小了沟道2DEG密度Q<sub>p</sub>，而C是使该电阻与电荷相关的常数。C将随温度而变化，例如由于所进入的区域的移动性，但是随后的归一化会抵消这个取决于温度的相关性。

在典型的工作条件下，与内置2DEG压电电荷(Q<sub>s</sub> << Q<sub>p</sub>)相比，表面电荷注入将保持较小。在这种情况下，适宜使用Taylor公式1/(1-x) = 1 + x 来进一步简化公式B5：

$$R(t) \approx R_0 + \frac{C}{Q_p} \left[ 1 + \frac{qF\lambda}{Q_p \beta} \log\left(1 + \frac{B\beta}{qF\lambda} t\right) \right] \quad \text{公式 B6}$$

## B.5: 取决于温度

对于高于250 K的温度，AlGaN/GaN HEMT中的高场电子传输受纵向光学 (LO) 声子散射支配。在GaN中，根据第一原理能带结构类型计算，LO声子能量 $\hbar\omega_{LO}$ 约为92 meV[B9]。LO声子散射下的动量弛豫时间 (或散射时间) 将随温度而变化，如下所示：

$$\tau_{LO} \propto \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \quad \text{公式 B7}$$

因此，可以将平均自由程取决于温度的相关性建模为：

$$\lambda = v_{th}\tau_{LO} \propto A\sqrt{kT}\exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \quad \text{公式 B8}$$

请注意，平均自由程随温度降低而增加，因为电子在声子碰撞之间，可以传播得更远。

将公式B8代入公式B6，并稍微重新排列，以计算 $R_{DS(on)}$ 的分数变化，从而得出以下的结果：

$$\frac{\Delta R}{R} = \frac{R(t) - R(0)}{R(0)} \approx a + bF \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \sqrt{T} \log(t) \quad \text{公式 B9}$$

请注意，为了简化表示法，我们已将公式B6中的多个常数包含在参数a和b中，但是保留模型的温度和电场的相关性。请注意，我们还用了长时间的近似值， $\frac{B\beta}{qF\lambda} t \gg 1$

从而使我们可以忽略对数内的加性常数，并最后得出简单的、取决于时间的 $\log(t)$ 。

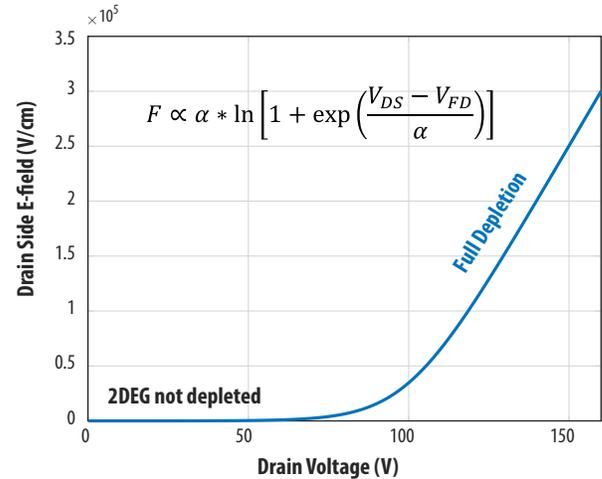
## B.6: 取决于漏极电场的电场

为了建立一个实际的 $R_{DS(on)}$ 增长模型，最后的步骤是找出靠近漏极触点的电场F，与在开关转换之前的 (关断状态) 漏极偏置 $V_{DS}$ 的关系。这种关系非常复杂，要知道很多设计参数和半导体器件物理特性，才可以进行精确建模。通常使用有限元仿真，其结果不是实际的公式。

在低漏极偏置下，2DEG并未在漏极触点附近耗尽，从而导致没有沟道电场。随着 $V_{DS}$ 的增加，2DEG最终一直耗尽到漏极触点，此后，电场随着 $V_{DS}$ 的增加，呈线性增加。描述这个定性行为的简单且使用两个参数的公式如下：

$$F \propto \alpha * \ln\left[1 + \exp\left(\frac{V_{DS} - V_{FD}}{\alpha}\right)\right] \quad \text{公式 B10}$$

$V_{FD}$ 是与器件有关的偏移参数，与2DEG完全耗尽到漏极触点的电压对应。粗略地说，该值接近FET的数据表中 $V_{DS}$ 的最大额定值 (即对于100 V产品诸如EPC2045或EPC2053,  $V_{FD} = 100$  V)。参数 $\alpha$ 是清晰度 (或曲率) 参数，表示完全耗尽后，电场的增长速度。描述EPC2045的公式绘制在图B3中。



图B3: 描述漏极侧电场与漏极电压的关系的简单数学模型。电场从恒定 (零) 平滑转换到线性状态，其起始电压与漏极触点的2DEG完全耗尽相对应。参数 $V_{FD}$ 和 $\alpha$ 取决于器件。此处选择的值，适用于EPC2045和相关的第五代100 V场效应晶体管。

## B.7: 最终的 $R_{DS(on)}$ 和寿命公式

将F的表达方式，从公式B10代入公式B9，得出 $R_{DS(on)}$ 随时间、温度和漏极电压而变化的最终数学模型：

$$\frac{\Delta R}{R} = a + b \log\left(1 + \exp\left(\frac{V_{DS} - V_{FD}}{\alpha}\right)\right) \sqrt{T} \exp\left(\frac{\hbar\omega_{LO}}{kT}\right) \log(t) \quad \text{公式 B11}$$

### 独立变量:

$V_{DS}$  = Drain voltage (V)  
 $T$  = Device temperature (K)  
 $t$  = Time (min)

### 参数:

$a$  = 0.00 (unitless)  
 $b$  = 2.0E-5 ( $K^{-1/2}$ )  
 $\hbar\omega_{LO}$  = 92 meV  
 $V_{FD}$  = 100 V (appropriate for Gen5 100 V products only)  
 $\alpha$  = 10 (V)

如上所示，该模型有3个独立变量和5个 (取决于器件) 参数。请注意，时间必须以分钟为单位。GaN的主要LO-声子能量 (92 meV) 是根据第一原理计算得出[B9]，并且预计不会因不同的eGaN FET而变化。其余4个参数，跟在一定温度和漏极偏置范围内、EPC2045器件的硬开关动态 $R_{DS(on)}$ 匹配。此组参数也直接适用于第五代100 V eGaN FET器件：EPC2053、EPC2218和EPC2204。通常，不同产品系列的器件参数可能不同。请咨询EPC公司以获取适用于其他eGaN产品的参数值。

为了满足特定的质量或可靠性要求，很多客户要求特定的使用条件下，估算器件的使用寿命。通过将寿命（在硬开关条件下）定义为  $R_{DS(on)}$  从初始值上升20%的时间  $\langle t \rangle$ ，可以直接将公式B11取反，从而得出：

$$\langle t \rangle = \exp \left[ \frac{(0.2-a)}{b \log \left( 1 + \exp \left( \frac{V_{DS} - V_{FD}}{\alpha} \right) \right) \sqrt{T} \exp \left( \frac{h\omega LQ}{kT} \right)} \right] \quad (\text{min}) \quad \text{公式 B12}$$

该公式给出了硬开关条件下的预期MTTF，是工作电压和温度的函数。通常，最坏情况下取得的值（最高电压、最低温度）用作下限。和之前一样，器件寿命以分钟为单位。也可以使用寿命的其他定义和从公式B11中提取。

## B.8: 开关频率和开关电流的影响

到目前为止的分析中，我们忽略了开关频率  $f$  和开关电流  $I$  对  $R_{DS(on)}$  增加特性的影响。在硬开关转换期间，电流直接影响注入高电场区的电子数量，因此对热载流子密度具有线性影响。同样，开关频率决定了在给定的时间间隔内、在漏极的热载流子脉冲的数量，因此也对表面俘获速率具有线性影响。

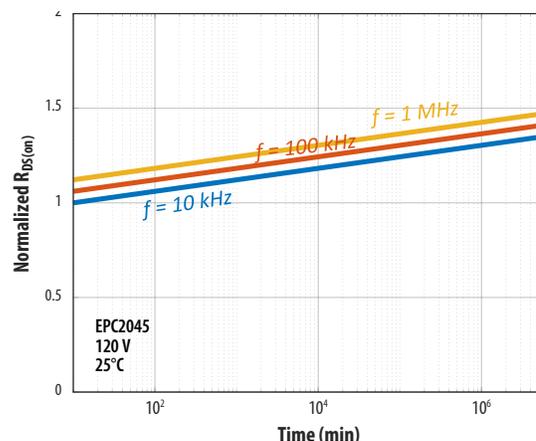
在我们的表面俘获速率公式B3中，频率和开关电流的影响包含在常数  $B$  中。如果我们直观地假设  $B$  与  $f$  和  $I$  都成线性比例，然后在公式B8表达最后的结果，我们得出一个简单的缩放结果，可以看到在一种开关条件下 ( $f_1, I_1$ ) 的  $R_{DS(on)}$  增长与另一种开关条件下 ( $f_2, I_2$ ) 的  $R_{DS(on)}$  增长的结果：

$$R(t; f_2, I_2) = R(t; f_1, I_1) + b \left( \log \left( \frac{f_2}{f_1} \right) + \log \left( \frac{I_2}{I_1} \right) \right) \quad \text{公式 B13}$$

从数学上来说，改变开关频率或电流的影响是简单地使  $R_{DS(on)}$  增长曲线垂直偏移少许。偏移幅度取决于  $f$  和  $I$  的对数，因此取决于这些变量的相关性很弱。此外，偏移幅度取决于  $\log(t)$  生长特性的总斜率  $b$ 。因此，如果FET在低  $R_{DS(on)}$  上升（低斜率  $b$ ）的条件下工作，则改变频率或电流的影响可忽略不计。

图B4比较了EPC2045在从10 kHz到1 MHz的三种不同开关频率下的建模  $R_{DS(on)}$  与时间的关系。请注意，曲线垂直相互偏移。如果我们比较不同的开关电流，情况也是一样。由于偏移随着  $f$ （或  $I$ ）的对数而变化，即使开关频率（或电流）增加10倍，也很难通过实验观察到，因为测量和预测具有  $\pm 10\%$  的噪声。

对数比例关系解释了前面所讨论的数个实验结果。在图B2中，在两个不同的开关电流下，对EPC2206进行测量，即使开关电流增加2倍， $R_{DS(on)}$  增长曲线也没有明显的变化。在电阻式和电感式硬开关的比较中，在电感式开关的情况下，转换过程中的各个电流-电压点的轨迹被认为更不利。该假设在学术文献[B10]中进行了详尽的讨论，并且经常被作为反对使用电阻式硬开关表征GaN HEMT的论点（没有证据）。但是， $R_{DS(on)}$  取决于开关电流的相关性很弱（对数），这解释了为什么对同一器件，比较电感式和电阻式硬开关时，我们没有观察到显著的差异。结合数据和理论的支持，EPC公司将继续使用更简单、更准确的电阻式硬开关测试方法来表征氮化镓器件。



图B4: 在三个不同的开关频率下，建模的  $R_{DS(on)}$  与时间的关系，涵盖两个数量级。注意，频率变化的影响是生长特性中的较小垂直偏移。相同的偏移也会发生在不同的开关电流条件下

## B.9: 动态 $R_{DS(on)}$ 的物理模型的结论

EPC公司开发了基于“第一原理”的物理模型来解释在硬开关条件下，eGaN FET的  $R_{DS(on)}$  上升情况。该模型基于的假设，是热电子通过表面电势注入到表面电介质的导带中。电子在进入后便迅速深陷中间能隙状态，假定它们被永久性地俘获（没有去俘获）。开关转换期间会产生热电子，高注入电流和高电场的瞬态组合，会导致热载流子能量分布具高能态。

这个模型预测：

- $R_{DS(on)}$  随着时间增长 ( $\log(t)$ )
- $R_{DS(on)}$  随时间的斜率具有负温度系数（即是当温度上升，斜率较低）
- 开关频率不影响斜率，但会引起小垂直偏移
- 开关电流不会影响斜率，但会导致小垂直偏移

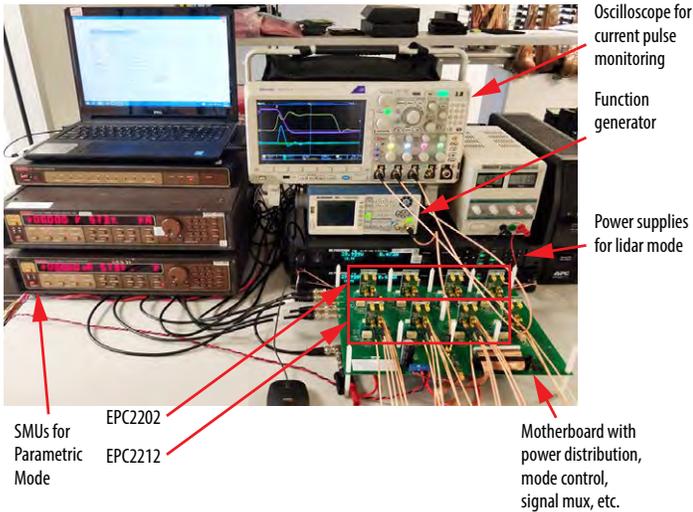
取决于  $\log(t)$  是由快速自猝灭电荷俘获速率引致，涉及两个相互效应：(1) 热电子能量分布的能量呈指数关系；(2) 累积的表面电荷  $Q_s$  稳定地增加了电子注入电介质的势垒。所有这些效应导致捕获速率随着电荷的积累呈指数下降，从而导致随时间较慢的（对数）增长。

取决于负温度是由于LO-声子散射对热载流子能量分布的影响。在较低的温度下，减少的散射会改善平均自由程，从而使电子在电场中获得更高的能量。

数学模型中的关键参数与在一定的漏极电压和温度范围内，对EPC2045器件测量所得的结果拟合。该模型允许用户预测作为4个关键输入变量的函数的长期  $R_{DS(on)}$  增长。这4个变量是漏极电压、温度、开关频率和开关电流。该模型可提供简单的MTTF公式，让用户预测器件在任意的条件下的寿命。

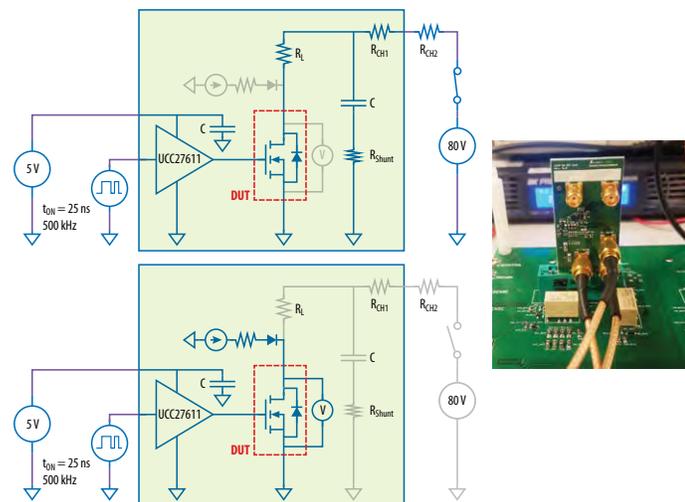
### 附录C: 面向激光雷达应用的氮化镓器件的可靠性测试系统

图C1显示面向激光雷达应用的氮化镓器件可靠性测试系统的图片。将器件组装在专用的激光雷达子板上,之后放置这些电路板到主板上,可同时多达8个器件进行应力测试。脉冲高度和宽度记录在示波器中,方法是通过继电器开关、以循环方式切换每个器件。PC记录所得数据。



图C1: 面向激光雷达应用的氮化镓器件的可靠性测试系统

如图C2所示,子板上的测试电路以两种不同的模式操作:(i) 激光雷达模式和(ii) 参数模式



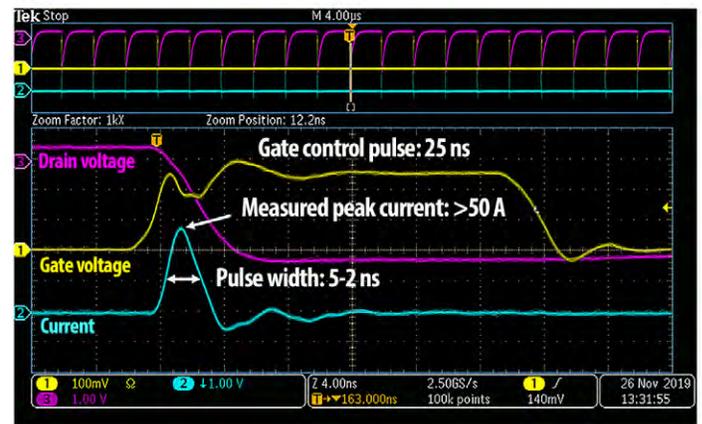
图C2: 激光雷达测试电路: 左上图是激光雷达模式、左下图是参数模式、右图是子板的图片

激光雷达模式电路是基于EPC公司的EPC9126激光雷达应用板。栅极脉冲持续约25纳秒,使电容器C通过RL放电,从而模拟实际的激光雷达电路中的激光二极管阻抗。栅极脉冲后,器件关断,电容器C重新充电至总线电压,并保持至下一个栅极脉冲。器件的工作条件如下:

- 总线电压: 80 V (未脉冲时的漏极电压)
- 电流脉冲高度: 峰值大于50 A
- 脉冲宽度: 大约是2纳秒
- 脉冲重复频率: 500 kHz

请注意,预设这些条件是为了对eGaN FET施加最大的应力。典型的商用激光雷达电路以较低的PRF操作,并且通常以较低的总线电压或电流脉冲高度操作。

图C3显示了典型的开关波形。热载流子同时在高电流及高电压下,可导致 $V_{TH}$ 偏移或增加动态 $R_{DS(on)}$ 。但是,由于激光二极管的电感会抑制电流上升,因此激光雷达中的开关轨迹比典型的硬开关转换器要轻。



图C3: 典型的激光雷达模式脉冲波形。

测试系统的激光雷达模式以6个小时作为一个时段,连续运行。在每个时段之间,如图C2底图所示,电路被短暂切换到参数模式。在参数模式下,每个器件的导通电阻 $R_{DS(on)}$ 都是在从4 V到6 V的栅极电压点测量的。这使系统可以直接在5  $V_{GS}$ 的情况下,恒常监测 $R_{DS(on)}$ 。此外,导通电阻取决于 $V_{GS}$ ,可以得出器件的高电流 $V_{TH}$ 。请注意, $V_{TH}$ 的定义与数据表的定义不同,后者在低漏极电流下测量 $V_{TH}$ 。从 $V_{TH}$ 、 $R_{DS(on)}$ 和激光雷达的脉冲宽度和脉冲高度等数据可以洞悉器件在长期的激光雷达应力下的失效机理。

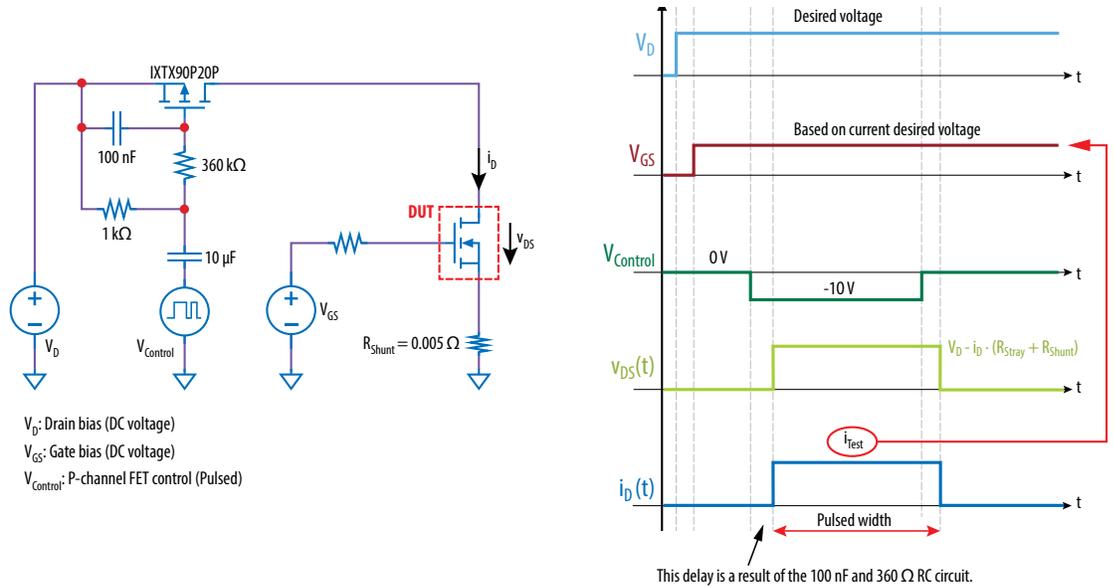
### 录D: 安全工作区 (SOA) 测试系统

图D1显示了安全工作区域测试系统的电路原理图和时序信号。在测试开始时, 设置漏极 ( $V_D$ ) 和栅极 ( $V_{GS}$ ) 偏压, 并留出稳定时间。设置栅极电压 (通常在1-3 V范围内), 从而在后续脉冲期间, 获得所需的 $I_D$ 。受测器件 (DUT) 施加漏极脉冲, 方法是使用44 m $\Omega$  p沟道FET, 该FET由电容耦合栅极偏置网络触发。调整偏置网络以提供软转换, 从而防止DUT具高 $di/dt$ 和电感过冲。在脉冲期间, 漏极电流 ( $I_D$ ) 由一个小电流感测电阻器进行监测。对DUT的漏极和源极电压进行开尔文检测, 从而消除测试电路中寄生电阻的影响。安装栅极至源极电容器在最接近DUT的位置, 从而在高电流脉冲期间, 保持 $V_{GS}$ 标称值。示波器收到所有信号, 之后进行分析。

由于eGaN FET是高增益带宽器件, 因此在脉冲期间, 必须注意避免测试电路出现振荡。特别是, 当共源电感有坏影响时, 必须使用特有的低电感电流感测电阻器。

此外, 安装一个小铁氧体磁珠并与靠近DUT的栅极串联, 可以显著降低振荡。

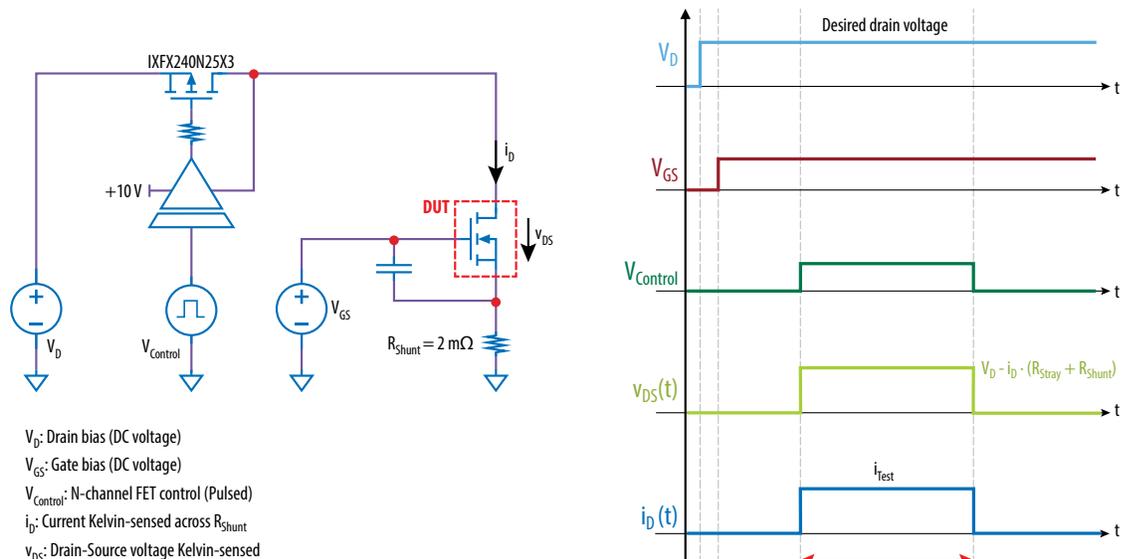
图D1: 安全工作区域 (SOA) 测试系统: 左图是SOA测试电路的原理图、右图是设置偏压和脉冲时序的波形图



### 附录E: 短路测试系统

图E1显示了短路 (负载故障) 测试系统的电路原理图和时序信号。在测试开始时, 设置漏极 ( $V_D$ ) 和栅极 ( $V_{GS}$ ) 偏压, 并留出稳定的时间。受测器件 (DUT) 施加漏极脉冲, 方法是使用4 m $\Omega$  n沟道FET, 该FET由隔离型高侧栅极驱动器触发。在脉冲期间, 漏极电流 ( $I_D$ ) 由一个小电流感测电阻器进行监测。对DUT的漏极和源极电压进行开尔文检测, 从而消除测试电路中寄生电阻的影响。安装栅极至源极电容器在最接近DUT的位置, 从而在高电流脉冲期间, 保持 $V_{GS}$ 标称值。示波器收到所有信号和之后进行分析。

图E1: 短路测试系统: 左图是负载测试电路下, 故障的原理图。右图是设置偏压和脉冲时序的波形图



## 参考文献

- [1] Yanping Ma, "EPC GaN transistor application readiness: phase one testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_One\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_One_Rel_Report.pdf)
- [2] Yanping Ma, "EPC GaN transistor application readiness: phase two testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Two\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Two_Rel_Report.pdf)
- [3] "EPC GaN transistor application readiness: phase three testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Three\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Three_Rel_Report.pdf)
- [4] Yanping Ma, "EPC GaN transistor application readiness: phase four testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Four\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Four_Rel_Report.pdf)
- [5] Yanping Ma, "EPC GaN transistor application readiness: phase five testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC\\_Phase\\_Five\\_Rel\\_Report.pdf](https://epc-co.com/epc/Portals/0/epc/documents/product-training/EPC_Phase_Five_Rel_Report.pdf)
- [6] Robert Strittmatter, Chunhua Zhou, and Yanping Ma, "EPC GaN transistor application readiness: phase six testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: <https://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase6.aspx>
- [7] Chris Jakubiec, Robert Strittmatter, and Chunhua Zhou, "EPC GaN transistor application readiness: phase seven testing," EPC Corp., El Segundo, CA, USA, Reliability Report, Copyright 2019. [Online]. Available: <https://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase7.aspx>
- [8] Chris Jakubiec, Rob Strittmatter, and Chunhua Zhou, "EPC GaN transistor application readiness: phase eight testing," EPC Corp., El Segundo, CA, USA, Reliability Report. [Online]. Available: <https://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase8.aspx>
- [9] Chris Jakubiec, Rob Strittmatter, and Chunhua Zhou, "EPC GaN transistor application readiness: phase nine testing," EPC Corp., El Segundo, CA, USA, Reliability Report. [Online]. Available: <https://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase9.aspx>
- [10] Alejandro Pozo, Shengke Zhang, and Rob Strittmatter, "EPC GaN transistor application readiness: phase ten testing," EPC Corp., El Segundo, CA, USA, Reliability Report. [Online]. Available: <https://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase10.aspx>
- [11] Alejandro Pozo, Shengke Zhang, and Rob Strittmatter, "EPC GaN transistor application readiness: phase eleven testing," EPC Corp., El Segundo, CA, USA, Reliability Report. [Online]. Available: <https://epc-co.com/epc/DesignSupport/eGaNfETReliability/ReliabilityReportPhase11.aspx>
- [12] A. Lidow, M. de Rooij, J. Strydom, D. Reusch, J. Glaser, *GaN Transistors for Efficient Power Conversion*, 3rd ed., J. Wiley 2020.
- [13] *Handbook for Robustness Validation of Semiconductor Devices in Automotive Applications*, Third edition: May 2015, Editor: ZVEI Robustness Validation Working Group, Eds. Published by ZVEI – Zentralverband Elektrotechnik – und Elektronikindustrie e.V. [Online]. Available: [https://www.zvei.org/fileadmin/user\\_upload/Presse\\_und\\_Medien/Publikationen/2015/mai/Handbook\\_for\\_Robustness\\_Validation\\_of\\_Semiconductor\\_Devices\\_in\\_Automotive\\_Applications\\_\\_3rd\\_edition\\_/Robustness-Validation-Semiconductor-2015.pdf](https://www.zvei.org/fileadmin/user_upload/Presse_und_Medien/Publikationen/2015/mai/Handbook_for_Robustness_Validation_of_Semiconductor_Devices_in_Automotive_Applications__3rd_edition_/Robustness-Validation-Semiconductor-2015.pdf)
- [14] P. Spirito, G. Breglio, V. d'Alessandro, and N. Rinaldi, "Analytical model for thermal instability of low voltage power MOS and S.O.A. in pulse operation," 14<sup>th</sup> International Symposium on Power Semiconductor Devices & ICs; Santa Fe, NM; 4–7 June 2002; pp. 269–272.
- [15] Efficient Power Conversion Corporation, "EPC2212 – Enhancement-mode power transistor," EPC2212 datasheet. [Online]. Available: [https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2212\\_datasheet.pdf](https://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc2212_datasheet.pdf)
- [16] "Real Statistics: Three-parameter Weibull Distribution," [Online]. Available: <https://www.real-statistics.com/other-key-distributions/weibull-distribution/three-parameter-weibull-distribution/>
- [17] *Dynamic On-Resistance Test Method Guidelines for GaN HEMT Based Power Conversion Devices*, Version 1.0, JEDEC Standard JEP173, 2019.
- [18] S. Mishra, "Fault current limiting and protection circuit for power electronics used in a Modular Converter," M.S. thesis, Univ. of Tennessee, 2008. [Online]. Available: [https://trace.tennessee.edu/utk\\_gradthes/468](https://trace.tennessee.edu/utk_gradthes/468)
- [19] J. Glaser, "An introduction to Lidar: A look at future developments," IEEE Power Electronics Magazine, March 2017
- [20] R. Strittmatter, "GaN reliability for automotive: testing beyond AEC-Q", IEEE APEC Conf., PSMA Industry Session, Anaheim, 2019.
- [21] Department of Defense Test Method Standard: Mechanical Tests – Die Shear Strength, Mil-Std-883e (Method 2019), May 3, 2018. [Online]. Available: <https://landandmaritimeapps.dla.mil/Downloads/MilSpec/Docs/MIL-STD-883/std883.pdf>
- [22] AEC-Q200 REV D: Stress Test Qualification for Passive Components (base document), Automotive Electronics Council, June 1, 2010, [Online]. Available: [www.aecouncil.com](http://www.aecouncil.com)
- [23] AEC-Q200-005 Rev A: Board Flex Test, Automotive Electronics Council, June 1, 2010, [Online]. Available: [www.aecouncil.com](http://www.aecouncil.com)
- [24] Fabio Bernardini, et al., "Spontaneous polarization and piezoelectric constants of III-V nitrides," Physical Review B Volume 56, Number 16, October 15, 1997
- [25] Solderability Tests for Component Leads, Terminations, Lugs, Terminals and Wires, EIA/IPC/JEDEC J-STD-002E, [Online]. Available: <https://www.ipc.org/TOC/J-STD-002E.pdf>
- [26] R. von Mises, "Mechanik der festen Körper im plastisch-deformablen Zustand". Nachrichten von der Gesellschaft der Wissenschaften zu Göttingen. Mathematisch-Physikalische Klasse. 1913 (1): 582–592

**参考文献(继续):**

- [27] Edward A. Jones, Alejandro Pozo, "Hard-Switching Dynamic  $R_{DS(on)}$  Characterization of a GaN FET with an Active GaN-Based Clamping Circuit", 2019 IEEE Applied Power Electronics Conference and Exposition (APEC).

**附录A的参考文献**

- [A1] Sreenidhi Turuvekere, et al., "Evidence of Fowler–Nordheim Tunneling in Gate Leakage Current of AlGaIn/GaN HEMTs at Room Temperature," IEEE Transactions on Electron Devices, Volume: 61, Issue: 12, Dec. 2014.
- [A2] T. E. Cook Jr., C. C. Fulton, W. J. Mecouch, and R. F. Davis, "Band offset measurements of the  $Si_3N_4$ /GaN (0001) interface," Journal of Applied Physics 94, 3949, 2003.
- [A3] Basanta Roul et al., "Binary group III-nitride based heterostructures: band offsets and transport properties," J. Phys. D: Appl. Phys. 48 423001, 2015.
- [A4] Arnost Neugroschel and Lingquan Wang, "Trapped charge induced gate oxide breakdown," Journal of Applied Physics 96, 3388, 2004.
- [A5] Cao et al., "Experimental characterization of impact ionization coefficients for electrons and holes in GaN grown on bulk GaN substrates," Applied Physics Letters, 112, 262103, 2018.
- [A6] Francesco Bertazzi, Michele Moresco, and Enrico Bellotti, "Theory of high field carrier transport and impact ionization in wurtzite GaN: Part I: A full band Monte Carlo model," Journal of Applied Physics 106, 063718, 2009.
- [A7] Xujiao (Suzey) Gao, et al., "Semiclassical Poisson and Self Consistent Poisson-Schrodinger Solvers in QCAD," [Online]. Available: [https://cfwebprod.sandia.gov/cfdocs/CompResearch/docs/Gao\\_Banff\\_Talk.pdf](https://cfwebprod.sandia.gov/cfdocs/CompResearch/docs/Gao_Banff_Talk.pdf)
- [A8] Dong Ji, Burcu Ercan, and Srabanti Chowdhury, "Experimental determination of impact ionization coefficients of electrons and holes in gallium nitride using homojunction structures", Appl. Phys. Lett. 115, 073503 (2019)
- [A9] A.M. Ozbek, "Measurement of Impact Ionization Coefficients in GaN," Ph.D. thesis, North Carolina State University, 2012.
- [A10] Chynoweth, A. G. and McKay, K. G., "Threshold Energy for Electron-Hole Pair Production by Electrons in Silicon," Phys. Rev., 108:29, 1957.
- [A11] T. L. W. Ooi, et al., "Mean multiplication gain and excess noise factor of GaN and Al<sub>0.45</sub>Ga<sub>0.55</sub>N avalanche photodiodes," Eur. Phys. J. Appl. Phys. 92, 10301, 2020.
- [A12] I. H. Oguzman, et al., "Theory of hole initiated impact ionization in bulk zinblende and wurtzite GaN," J. Appl. Phys. 81 (12), June 15, 1997.
- [A13] P.L. Cheang, E.K. Wong, L.L. Teo, "Avalanche characteristics in thin GaN avalanche photodiodes," Jpn. J. Appl. Phys. 58, 082001, 2019.
- [A14] S.M. Sze, "Semiconductor devices, physics and technology," Wiley, 2002.

**附录B的参考文献**

- [B1] U. V. Bhapkar and M.S. Shur, "Monte Carlo calculation of velocity-field characteristics of wurtzite GaN," Journal of Applied Physics, 82, 1649, 1997.
- [B2] N. Braga, et al., "Simulation of hot electron and quantum effects in AlGaIn/GaN heterostructure field effect transistors," Journal of Applied Physics Volume 95, Number 11, June 1, 2004.
- [B3] S. Chen and G. Wang, "High-field properties of carrier transport in bulk wurtzite GaN: A Monte Carlo perspective," JOURNAL OF APPLIED PHYSICS 103, 023703 2008.
- [B4] F. Bertazzi, et al., "Theory of high field carrier transport and impact ionization in wurtzite GaN. Part I: A full band Monte Carlo model," Journal of Applied Physics 106, 063718, 2009.
- [B5] M. Moresco, et al., "Theory of high field carrier transport and impact ionization in wurtzite GaN. Part II: Application to avalanche photodetectors," Journal of Applied Physics 106, 063719, 2009.
- [B6] T Brazzini, et al., "Mechanism of hot electron electroluminescence in GaN-based transistors," J. Phys. D: Appl. Phys. 49, 435101, 2016.
- [B7] Matteo Meneghini, et al., "Time- and Field-Dependent Trapping in GaN-Based Enhancement-Mode Transistors With p-Gate," IEEE Electron Device Letters, vol. 33, no. 3, March 2012.
- [B8] S. Tam et al., "Lucky-electron model of channel hot-electron injection in MOSFET's," IEEE Transactions on Electron Devices, vol. ED-31, no. 9, September 1984.
- [B9] J. Fang, et al., "Electron transport properties of Al<sub>x</sub>Ga<sub>1-x</sub>N/GaN transistors based on first-principles calculations and Boltzmann-equation Monte Carlo simulations," Phys. Rev. Applied 11, 044045, April 15, 2019.
- [B10] T Ueda, "GaN power devices: current status and future challenges," Japanese Journal of Applied Physics 58, SC0804, 2019.